ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Jerzy SZYNKA
e-mail: szynka@ite.waw.pl, tel. (0-prefiks-22) 548 78 50

Zespół: mgr inż. Mirosław Grodner, mgr inż. Adam Jarosz, mgr inż. Artur Kokoszka, mgr inż. Ewa Kurjata-Pfitzner, mgr inż. Norbert Ługowski, mgr inż. Dariusz Obrębski, dr inż. Krystyna Siekierska, mgr inż. Andrzej Szymański, mgr inż. Jerzy Wąsowski

1. Działalność Zakładu w 2004 r.

Działalność Zakładu w 2004 r. obejmowała:

- prace badawcze w dziedzinie projektowania układów scalonych do komunikacji bezprzewodowej pracujących w paśmie 2,4 GHz, realizowane w ramach projektu statutowego "Badania i rozwój metod projektowania cyfrowych i analogowo--cyfrowych systemów scalonych" (nr projektu 1.09.034);
- aktualizację wiedzy i kompetencji w zakresie projektowania układów szyfrujących;
- stałe śledzenie metodologii projektowania dużych układów cyfrowych przy użyciu języków wysokiego poziomu;
- tworzenie środowiska projektowego dla technologii dostępnej w ITE.

Realizowane były także dwa projekty celowe umożliwiające zapoznanie się z technikami stosowanymi przy projektowaniu układów dla zastosowań motoryzacyjnych oraz zdobycie doświadczenia w realizacji projektów komercyjnych.

1.1. Opracowanie metod projektowania oraz przykładowych rozwiązań układów scalonych do komunikacji bezprzewodowej pracujących w paśmie 2,4 GHz

Celem prac, będących kontynuacją badań z 2003 r., jest zdobycie wiedzy i umiejętności niezbędnych do projektowania układów do komunikacji bez- przewodowej. Zaprojektowano nową strukturę próbną dla technologii S35 (0,35 μm) z tranzystorami krzemowo-germanowymi firmy AMS do zbadania parametrów trzech bloków funkcjonalnych stosowanych w szerokiej klasie układów RF: wzmacniacza niskoszumnego LNA, oscylatora sterowanego napięciem VCO oraz mieszacza. Struktura próbna zawiera tor odbiorczy sygnału 2,4 GHz (od wejścia wysokiej częstotliwości do wyjścia filtru wstępnego pośredniej częstotliwości, łącznie z VCO) oraz niezależny wzmacniacz testowy 2,4 GHz o wyjściu wyprowadzonym na zewnątrz.

W poprzednim etapie zakończono opracowanie projektów elektrycznych następujących bloków funkcjonalnych:

- oscylatora VCO,
- kwadraturowego przesuwnika fazy sygnału oscylatora,
- ograniczników amplitudy sygnału oscylatora,
- wzmacniacza wejściowego 2,4 GHz.

W 2004 r. wykonano projekty elektryczne mieszacza z tłumieniem sygnału lustrzanego (image rejection mixer) i jego bloków składowych:

- stopnia mieszającego,
- przesuwnika fazy $+45^o$ sygnału 1 MHz,
- przesuwnika fazy -45° sygnału 1 MHz,
- sumatora sygnałów przesuniętych w fazie

oraz filtru wstępnego częstotliwości pośredniej i jego bloków składowych:

- filtru dolnoprzepustowego,
- filtru górnoprzepustowego,
- wtórnika wyjściowego.

Projekt topografii struktury próbnej wykonano techniką full-custom.

W celu wyeliminowania zakłóceń przenoszonych poprzez szyny zasilania oraz umożliwienia oceny wielkości wpływu tych zakłóceń każdy z bloków ma osobny pad zasilania. Masa jest doprowadzona przez oddzielny pad do każdego z bloków, a jednocześnie na chipie jest zwarta. Przyjęto, że wszystkie wejścia i wyjścia LNA i VCO są wyprowadzone na zewnątrz, aby można było zmieniać punkt pracy tych bloków, który zależy od parametrów technologicznych aktualnej partii.

Żeby wyeliminować wpływ pomiaru na sygnał wyjściowy z LNA podawany do mieszacza, struktura próbna zawiera drugi układ LNA taki sam w swym rdzeniu, ale dopasowany do innego obciążenia, wynikającego z wyprowadzenia sygnału wyjściowego na zewnątrz chipu.

Oscylator lokalny oprócz VCO, którego wyjścia wyprowadzono na zewnątrz, zawiera bloki kształtujące sygnał wysokiej częstotliwości na potrzeby mieszacza. Filtr pośredniej częstotliwości 1 MHz zapewnia odseparowanie układu mieszacza od wyjścia pomiarowego.

Zaprojektowano układ aplikacyjny do pomiarów parametrów poszczególnych układów oraz zaprojektowano i wykonano odpowiednią płytę drukowaną do aplikacji pomiarowej, która spełnia specyficzne wymagania współdziałania z układami tak wysokich częstotliwości. Przewidziano możliwość regulacji i pomiaru punktów pracy wzmacniaczy LNA oraz oscylatora VCO, a także możliwość wyłączenia testowego wzmacniacza, buforów oscylatora oraz odbiornika. Wejścia i wyjścia sygnałów 2,4 GHz zaopatrzono w układy dopasowujące obliczone na podstawie symulacji komputerowej. Gdyby okazało się, że realne impedancje wejściowe i wyjściowe są zbyt odległe od 50 Ω, wtedy prawdopodobnie konieczne będzie przekonstruowanie tych układów.

Płytka drukowana została wykonana w Instytucie Tele- i Radiokomunikacji. Zastosowano dodatkowo specjalny metalowy ekran ochraniający badany układ przed zakłóceniami zewnętrznymi.

Podjęto prace przygotowawcze do przeprowadzenia w 2005 r. badań elektrycznych, które pozwolą na ocenę zgodności parametrów zaprojektowanych układów stanowiących tę strukturę z parametrami otrzymanymi w drodze symulacji.

Struktura próbna została zrealizowana w krzemie w ramach serwisu Europractice.

1.2. Opracowanie bloku IP realizującego standard kodowania informacji cyfrowej AES (Advanced Encryption Standard)

Szyfr AES opiera się na uproszczonym algorytmie Rijndeal opracowanym przez Joana Deamen i Vincenta Rijmen. Algorytm ten jest szyfrem blokowym. Oryginalny algorytm Rijndeal operował na blokach 128-, 192- oraz 256-bitowych, natomiast standard AES ogranicza długość bloku danych do 128 bitów. Proces szyfrowania wymaga dodatkowych danych stanowiących klucz szyfrujący. Ponieważ szyfr AES jest szyfrem symetrycznym, więc ten sam klucz jest wykorzystywany zarówno w procesie kodowania, jak i dekodowania informacji. W zależności od wymaganego stopnia bezpieczeństwa można posługiwać się kluczem o długości 128, 192 i 256 bitów.

Zarówno blok danych, jak i klucz są zorganizowane w matrycę o 4 wierszach i 4, 6 lub 8 kolumnach. Liczba kolumn zależy od długości bloku danych (4 kolumny dla 128-bitowego bloku danych, 6 kolumn dla 192-bitowego bloku danych i 8 kolumn dla 256-bitowego bloku danych). Każda komórka matrycy zawiera 1 bajt (8 bitów) informacji. Na rys. 1 przedstawiono organizację matrycy.

<table>
<tr><td>$S_{0,0}$</td><td>$S_{0,1}$</td><td>$S_{0,2}$</td><td>$S_{0,3}$</td><td>$S_{0,4}$</td><td>$S_{0,5}$</td><td>$S_{0,6}$</td><td>$S_{0,7}$</td></tr>
<tr><td>$S_{1,0}$</td><td>$S_{1,1}$</td><td>$S_{1,2}$</td><td>$S_{1,3}$</td><td>$S_{1,4}$</td><td>$S_{1,5}$</td><td>$S_{1,6}$</td><td>$S_{1,7}$</td></tr>
<tr><td>$S_{2,0}$</td><td>$S_{2,1}$</td><td>$S_{2,2}$</td><td>$S_{2,3}$</td><td>$S_{2,4}$</td><td>$S_{2,5}$</td><td>$S_{2,6}$</td><td>$S_{2,7}$</td></tr>
<tr><td>$S_{3,0}$</td><td>$S_{3,1}$</td><td>$S_{3,2}$</td><td>$S_{3,3}$</td><td>$S_{3,4}$</td><td>$S_{3,5}$</td><td>$S_{3,6}$</td><td>$S_{3,7}$</td></tr>
<tr><td colspan="4">128 bit</td><td colspan="4"></td></tr>
<tr><td colspan="6">192 bit</td><td colspan="2"></td></tr>
<tr><td colspan="8">256 bit</td></tr>
</table>

Rys. 1. Organizacja danych w algorytmie AES

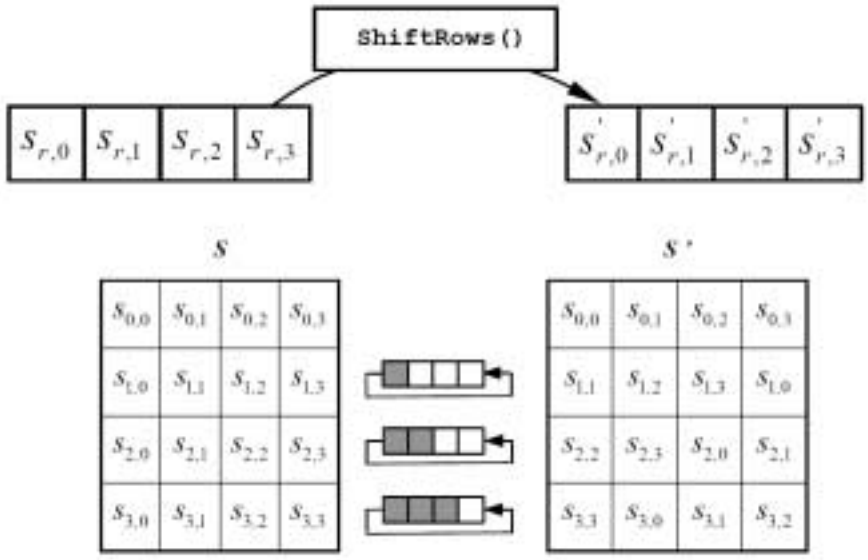
Algorytm AES bazuje na kilku operacjach, które kolejno modyfikują dane i klucz. Ta sekwencja operacji jest powtarzana wielokrotnie. Pojedyncza sekwencja operacji jest nazywana rundą. Liczba rund niezbędnych do zakodowania informacji jest zależna od długości klucza i wynosi 10 dla klucza 128-bitowego, 12 dla klucza 192-bitowego i 14 dla klucza 256-bitowego. Proces szyfrowania zawiera 4 podstawowe operacje:

- **SubBytes** – jest to nieliniowe przekształcenie działające niezależnie na każdym bajcie danych. Ta operacja może być efektywnie zrealizowana przy użyciu Look-up Table (zwanej S-box). Tabela 1 przedstawia wartości tabeli S-box.

Tabela 1. S-box – tabela podstawień dla bajta xy w formacie szesnastkowym

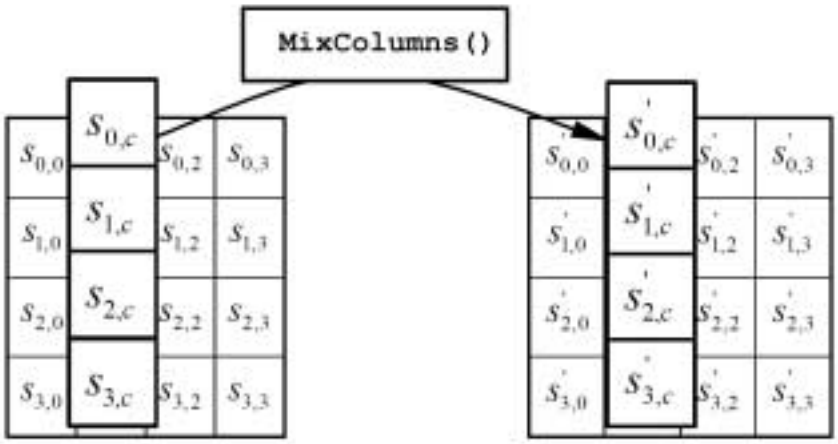
		y															
		0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
x	0	63	7c	77	7b	f2	6b	6f	c5	30	01	67	2b	fe	d7	ab	76
	1	ca	82	c9	7d	fa	59	47	f0	ad	d4	a2	af	9c	a4	72	c0
	2	b7	fd	93	26	36	3f	f7	cc	34	a5	e5	f1	71	d8	31	15
	3	04	c7	23	c3	18	96	05	9a	07	12	80	e2	eb	27	b2	75
	4	09	83	2c	1a	1b	6e	5a	a0	52	3b	d6	b3	29	e3	2f	84
	5	53	d1	00	ed	20	fc	b1	5b	6a	cb	be	39	4a	4c	58	cf
	6	d0	ef	aa	fb	43	4d	33	85	45	f9	02	7f	50	3c	9f	a8
	7	51	a3	40	8f	92	9d	38	f5	bc	b6	da	21	10	ff	f3	d2
	8	cd	0c	13	ec	5f	97	44	17	c4	a7	7e	3d	64	5d	19	73
	9	60	81	4f	dc	22	2a	90	88	46	ee	b8	14	de	5e	0b	db
	a	e0	32	3a	0a	49	06	24	5c	c2	d3	ac	62	91	95	e4	79
	b	e7	c8	37	6d	8d	d5	4e	a9	6c	56	f4	ea	65	7a	ae	08
	c	ba	78	25	2e	1c	a6	b4	c6	e8	dd	74	1f	4b	bd	8b	8a
	d	70	3e	b5	66	48	03	f6	0e	61	35	57	b9	86	c1	1d	9e
	e	e1	f8	98	11	69	d9	8e	94	9b	1e	87	e9	ce	55	28	df
	f	8c	a1	89	0d	bf	e6	42	68	41	99	2d	0f	b0	54	bb	16

- **ShiftRows** – podczas tej operacji ostatnie trzy wiersze tabeli są cyklicznie przesuwane o różną ilość kolumn. Działanie tej operacji ilustruje rys. 2.



Rys. 2. Działanie operacji ShiftRows

- **MixColumns** – ta operacja działa na poszczególnych kolumnach macierzy stanu jak pokazano na rys. 3. Każda kolumna jest mnożona przez zdefiniowaną macierz (rys. 4).



Rys. 3. Operacja MixColumns

$$\begin{bmatrix} s'_{0,c} \\ s'_{1,c} \\ s'_{2,c} \\ s'_{3,c} \end{bmatrix} = \begin{bmatrix} 02 & 03 & 01 & 01 \\ 01 & 02 & 03 & 01 \\ 01 & 01 & 02 & 03 \\ 03 & 01 & 01 & 02 \end{bmatrix} \begin{bmatrix} s_{0,c} \\ s_{1,c} \\ s_{2,c} \\ s_{3,c} \end{bmatrix}$$

Rys. 4. Przekształcenie kolumny danych w operacji MixColumns

- **AddRoundKey** – operacja polega na sumowaniu modulo 2 bitów macierzy danych z odpowiadającymi im bitami macierzy klucza.

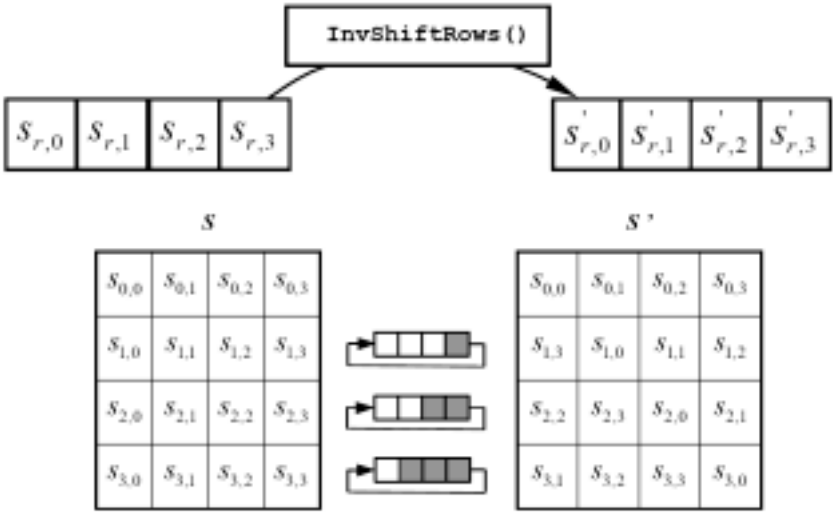
Ponadto, aby dostarczyć oddzielny, niepowtarzalny klucz dla operacji AddRoundKey, w każdej rundzie konieczne jest rozszerzenie klucza (key expansion). Operacja ta bazuje na przekształceniu S-box oraz na serii rotacji odpowiedniego 4-bajtowego wycinka klucza. Liczba operacji rozszerzania klucza niezbędna w procesie kodowania jest zależna od długości klucza.

Dekodowanie zaszyfrowanego bloku danych odbywa się w sposób analogiczny do szyfrowania. Operacje SubBytes, ShiftRows i MixColumns są zastępowane transformacjami odwrotnymi do nich (InvSubBytes, InvShiftRows i InvMixColumns).

- **InvSubBytes** – jak SubBytes, ale używa odmiennej tabeli S-Box (tab. 2).
- **InvShiftRows** – tę operację prezentuje rys. 5.
- **InvMixColumns** – podobnie jak w operacji MixColumns każda kolumna macierzy danych jest mnożona przez odpowiednią macierz. Operację InvMixColumns ilustruje rys. 6.

Tabela 2. S-Box używany w operacji InvSubBytes

x \ y	0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
0	52	09	6a	d5	30	36	a5	38	bf	40	a3	9e	81	f3	d7	fb
1	7c	e3	39	82	9b	2f	ff	87	34	8e	43	44	c4	de	e9	cb
2	54	7b	94	32	a6	c2	23	3d	ee	4c	95	0b	42	fa	c3	4e
3	08	2e	a1	66	28	d9	24	b2	76	5b	a2	49	6d	8b	d1	25
4	72	f8	f6	64	86	68	98	16	d4	a4	5c	cc	5d	65	b6	92
5	6c	70	48	50	fd	ed	b9	da	5e	15	46	57	a7	8d	9d	84
6	90	d8	ab	00	8c	bc	d3	0a	f7	e4	58	05	b8	b3	45	06
7	d0	2c	1e	8f	ca	3f	0f	02	c1	af	bd	03	01	13	8a	6b
8	3a	91	11	41	4f	67	dc	ea	97	f2	cf	ce	f0	b4	e6	73
9	96	ac	74	22	e7	ad	35	85	e2	f9	37	e8	1c	75	df	6e
a	47	f1	1a	71	1d	29	c5	89	6f	b7	62	0e	aa	18	be	1b
b	fc	56	3e	4b	c6	d2	79	20	9a	db	c0	fe	78	cd	5a	f4
c	1f	dd	a8	33	88	07	c7	31	b1	12	10	59	27	80	ec	5f
d	60	51	7f	a9	19	b5	4a	0d	2d	e5	7a	9f	93	c9	9c	ef
e	a0	e0	3b	4d	ae	2a	f5	b0	c8	eb	bb	3c	83	53	99	61
f	17	2b	04	7e	ba	77	d6	26	e1	69	14	63	55	21	0c	7d



Rys. 5. Operacja InvShiftRows

$$\begin{bmatrix} s'_{0,c} \\ s'_{1,c} \\ s'_{2,c} \\ s'_{3,c} \end{bmatrix} = \begin{bmatrix} 0e & 0b & 0d & 09 \\ 09 & 0e & 0b & 0d \\ 0d & 09 & 0e & 0b \\ 0b & 0d & 09 & 0e \end{bmatrix} \begin{bmatrix} s_{0,c} \\ s_{1,c} \\ s_{2,c} \\ s_{3,c} \end{bmatrix}$$

Rys. 6. Przekształcenie kolumny danych w operacji InvMixColumns

1.3. Modelowanie układów scalonych i systemów z wykorzystaniem języków SystemC i Verilog

SystemC jest to nowy język modelowania oparty na języku C++ wspomagający projektowanie na poziomie systemowym i wymianę komponentów IP (ang. Intellectual Property). Powstał w wyniku działalności tzw. grupy inicjatywnej OSCI (ang. Open SystemC Initiative), w którą zaangażowały się największe firmy na rynku oprogramowania CAD oraz jego użytkownicy projektujący i/lub produkujący układy scalone na skalę przemysłową. W założeniu główną jego właściwością miała być wymienialność i przenoszalność kodu między różnymi użytkownikami, narzędziami programowymi i platformami systemowymi z możliwością kompilacji kodu za pomocą powszechnie stosowanych kompilatorów języka C++.

SystemC jest zestawem bibliotek klas opracowanych dla języka C++ rozpowszechnianych bez opłat po zarejestrowaniu użytkownika na stronie SystemC [1] w Internecie. Nie jest on jeszcze standardem IEEE, ale kolejne jego wersje stają się standardem OSCI. Pierwsze wersje bibliotek powstały w 2000 r. i są stale rozwijane. W kwietniu 2004 r. została udostępniona nowa wersja bibliotek klas 2.0, a w październiku następna wersja 2.1, na razie jeszcze testowa. Do wersji 2.0 standardu języka jest opracowany podręcznik z jego opisem [2].

Cechą charakterystyczną projektowania z wykorzystaniem SystemC jest stopniowe zwiększanie szczegółowości wykonywanego opisu (ang. refinement) po każdorazowej weryfikacji i zatwierdzeniu kolejno powstałych modeli [4]. Podczas procesu przechodzenia do coraz niższych poziomów abstrakcji jest zachowana funkcjonalność modelu, dzięki czemu środowisko testowe, stworzone do weryfikacji pierwszego, najbardziej abstrakcyjnego modelu, może być wykorzystane do symulacji kolejnych, bardziej szczegółowych jego wersji.

Punktem startowym dla procesu projektowania systemów jednoukładowych w oparciu o SystemC jest specyfikacja algorytmu, który ma być zrealizowany. Ten sekwencyjny opis jest zamieniany na opis współbieżny – pierwszy model systemu w języku SystemC na najwyższym poziomie abstrakcji – poziomie funkcjonalnym bez specyfikacji czasowej (ang. Untimed Functional Level – UFL). Opisuje on system jako sieć współdziałających ze sobą procesów o zerowym czasie wykonania. Po weryfikacji, na model zostają nałożone ramy czasowe, w wyniku czego następuje przejście na poziom funkcjonalny ze specyfikacją czasową (ang. Timed Functional Level – TFL).

Dotychczasowe dwa poziomy abstrakcji opisywały cały system bez rozróżnienia na część sprzętową i programową, dopiero na następnym etapie projektowania podejmowana jest decyzja, które z procesów zostaną zrealizowane w postaci sprzętu, a które w postaci zadań wykonywanych przez procesor systemowy. Etap ten nosi angielską nazwę Hardware-Software Partitioning. Sprzętowa część projektu, po kolejnym procesie uszczegółowiania opisu, jest przenoszona na

poziom o dokładnie określonych zależnościach czasowych magistrali komunikacyjnej (ang. Bus Cycle Accurate). Tak powstały model dokładnie specyfikuje czasowe zależności w wymianie danych między poszczególnymi elementami systemu (procesami), jednakże czas wykonania każdego z tych procesów jest nadal zerowy. Ostatnie uściślenie opisu narzuca więc części sprzętowej ramy czasowe (odniesione do zegara systemowego). Taki model nosi nazwę angielską Cycle-Accurate (CA).

Biblioteki SystemC dołączone do podstawowego języka C++ pozwalają na zmianę typowego języka programowania, jakim jest język C/C++, zawierającego instrukcje sekwencyjne na język projektowania sprzętu (HDL), który operuje instrukcjami współbieżnymi. Zawierają one wiele obiektów zdefiniowanych specjalnie do modelowania sprzętu, takich jak np. porty, obiekty czasowe i współbieżne procesy.

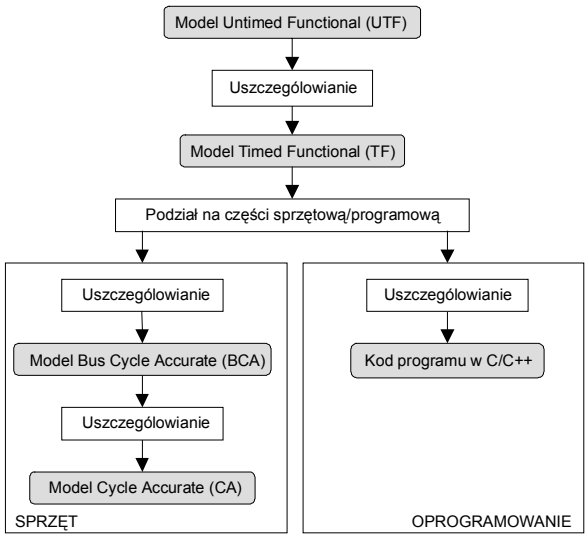
`SC_MODULE` jest podstawowym blokiem funkcjonalnym w SystemC. Pozwala na tworzenie większego projektu w postaci hierarchicznej złożonej z modułów (wykorzystano tu bezpośrednio właściwość modularności języka C++). W ogólności plik zawierający opis pojedynczego modułu (a zasadniczo jego interfejs, odpowiadający tzw. jednostce projektowej `entity` w języku VHDL) ma rozszerzenie *.h i może zawierać:

- deklaracje portów wejściowych, wyjściowych lub dwukierunkowych: `sc_in`, `sc_out`, `sc_inout`;
- deklaracje sygnałów lokalnych `sc_signal` (w przypadku VHDL deklarowane w opisie działania jednostki projektowej `architecture`);
- deklaracje zmiennych lokalnych używanych do przechowywania danych w module, a zdefiniowanych tak samo jak w C/C++ (w przypadku VHDL deklarowane w opisie procesu `process`);
- część związaną z funkcjonalnością modułu:
- deklaracje używanych funkcji (metod) opisujących działanie modułu, których implementacje są na ogół zamieszczane w oddzielnym pliku z rozszerzeniem `*.cpp` (odpowiadającym opisowi działania jednostki projektowej `architecture` w języku VHDL);
- konstruktor modułu `SC_CTOR`, który przypisuje zadeklarowane funkcje do jednego z możliwych procesów `SC_METHOD`, `SC_THREAD` lub `SC_CTHREAD` oraz inicjalizuje zmienne zadeklarowane w module.

Podobnie jak w przypadku języka VHDL, procesy są kluczowymi konstrukcjami pozwalającymi na wprowadzanie synchronizacji i zależności czasowych pomiędzy poszczególnymi wydarzeniami oraz na wprowadzenie współbieżności. W bibliotece SystemC zostały zdefiniowane trzy typy procesów, które określają sposób ich wywoływania i wykonywania:

- `SC_METHOD` – metody są procesami, które są czułe na zmiany określonych sygnałów wymienionych w liście czułości (specyfikacja `sensitive`) i są wy-

konywane do końca przy każdym ich wywołaniu. Lista czułości jest specyfikowana w konstruktorze modułu po deklaracji procesu z odwołaniem do nazwy modułu. Procesy te są stosowane do opisu modeli na poziomie RTL.



Rys. 7. Kolejne etapy uściślania modelu SystemC

– `SC_THREAD` – wątki są procesami czułymi na określone sygnały, których wykonywanie może być zawieszane i reaktywowane przez użycie w ich implementacji kilku funkcji `wait()`. Lista czułości jest specyfikowana w konstruktorze modułu po deklaracji procesu odwołującego się do nazwy modułu. Funkcja `wait()` powoduje zawieszenie wykonania procesu do momentu wystąpienia zmiany wartości jednego z sygnałów wymienionych w liście czułości. Zmiana reaktywuje wykonanie części procesu do następnej funkcji `wait()`. Jeżeli taki proces zawiera jedną funkcję `wait()`, to jego wykonanie jest takie samo jak metody, choć symulacja trwa dłużej. Ten typ procesów nie jest syntetyzowalny i jest używany tylko do opisu bloków z pobudzeniami, używanymi w symulacji modelu.
– `SC_CTHREAD` – wątki synchronizowane służą do opisu modułów synchronicznych wyzwalanych jednym (narastającym lub opadającym) zboczem sygnału zegarowego, którego nazwa jest specyfikowana jako drugi parametr po nazwie modułu w odwołaniu procesu. Mogą zawierać wiele funkcji `wait()`, zawieszających wykonywanie procesu do następnego zbocza sygnału zegarowego.

Procesy te są dedykowane do opisów modeli na poziomie behawioralnym, które po kompilacji i translacji na język Verilog są następnie syntetyzowane przez Behavioral Compiler.

Opisy procesów zawarte w plikach *.cpp są w typowej postaci opisu metod i funkcji C++, a zawarte w nich instrukcje są wykonywane sekwencyjnie.

1.4. Wykonanie pakietu projektowego dla technologii ITE C3P1M2 dla środowiska Cadence

Biblioteki komórek standardowych

W środowisku pakietu projektowego IDK są zainstalowane obecnie dwie biblioteki zawierające komórki standardowe. Biblioteka komórek rdzenia ITE_COREM i biblioteka komórek peryferyjnych ITE_IOM. Kolejne komórki tych typów, a także biblioteka komórek analogowych będą dołączane do pakietu sukcesywnie.

Biblioteka komórek rdzenia ITE_COREM

Biblioteka zawiera następujące komórki:
AN1..... czterowejściowa bramka AND-NOR,
AN3..... trójwejściowa bramka AND-NOR,
EN1..... dwuwejściowa bramka XNOR,
EO1..... dwuwejściowa bramka XOR,
IN1..... inwerter, obciążalność - 1,
IN2..... inwerter, obciążalność – 2,
IN3..... inwerter, obciążalność – 3,
IN4..... inwerter, obciążalność – 4,
NA2..... dwuwejściowa bramka NAND,
NA3..... trójwejściowa bramka NAND.
NA4..... czterowejściowa bramka NANd,
NO2..... dwuwejściowa bramka NOR,
NO3..... trójwejściowa bramka NOR,
NO4..... czterowejściowa bramka NOR,
DFA..... przerzutnik typu D z wejściem zerującym,
DLA..... zatrzask z wejściem zerującym.

Każda z tych komórek ma trzy reprezentacje:
layout – topografia komórki,
schematic – schemat elektryczny komórki,
symbol – symbol komórki używany w schematach elektrycznych.

Ponadto w bibliotece znajdują się jeszcze dwie komórki:
RCAP..... zakończenie rzędu komórek rdzenia,
SPACER... odstęp pomiędzy komórkami rdzenia.

Komórki te mają tylko reprezentacje – ***layout***, ponieważ tutaj inne reprezentacje nie mają sensu.

Biblioteka komórek peryferyjnych ITE_IOM

Biblioteka ta zawiera następujące komórki:
IB15..... pad wejściowy CMOS,
IB35..... pad wejściowy CMOS z układem podciągającym do UDD,
OB35..... pad wyjściowy CMOS o wydajności 8 mA.

Każda z tych komórek ma, tak jak komórki w poprzedniej bibliotece, reprezentacje ***layout***, ***schematic*** i ***symbol***.
Ponadto w bibliotece znajdują się komórki:
PP01..... pad zasilania UDD,
PP02..... pad zasilania USS/GND,
CORNERC.... narożnik układu scalonego,
PLC..... łącznik między komórkami peryferyjnymi o szerokości 20 mm,
PLC46..... łącznik między komórkami peryferyjnymi o szerokości 46 mm,
CONT..... topografia kontaktu typu CONT,
VIA..... topografia kontaktu typu VIA,
PAD..... topografia pola montażowego.

Te komórki wymagają tylko reprezentacji layout.

Struktura monitorująca jakość procesu technologicznego (MT)

W programie MPW konieczne jest posiadanie narzędzia umożliwiającego ocenę jakości wytworzonych płytek z układami, bez wykonywania pomiarów elektrycznych układów klientów. Narzędziem takim mógłby być cyfrowy układ scalony, realizujący znaną funkcję, łatwy do szybkiego pomiaru i o odpowiednim stopniu integracji oraz komplikacji topografii.

Oscylator pierścieniowy z buforami do pomiarów elektrycznych

Do oceny jakości wytwarzanych płytek zaproponowano wykorzystanie układu oscylatora pierścieniowego. Takie rozwiązanie umożliwia dokonywanie różnych pomiarów, bez potrzeby sterowania układu sekwencjami sygnałów wejściowych. Wymagana łatwość pomiarów narzuca tu jednak pewne ograniczenia. Bardzo korzystne byłoby używanie do pomiarów tej samej sondy jak do pomiarów testowej struktury technologicznej, a więc układ nie powinien mieć więcej niż 8 wyprowadzeń. Budowa układu jest dosyć skomplikowana. Przyjęto, że powinna odpowiadać średniej skali integracji (ok. 100 komórek/funktorów logicznych).

Ostatecznie wybrano 5-stopniowy oscylator pierścieniowy zbudowany z inwerterów IN4, pochodzących z biblioteki komórek rdzenia. Jeden z inwerterów został przekonstruowany w 2-wejściową bramkę NAND o porównywalnych parametrach przełączania, co pozwoliło na uzyskanie wejścia włączającego i wyłączającego oscylacje. Każdy stopień został obciążony połączonymi równolegle dwoma bramkami IN4. Każde wyjście tego stopnia zostało obciążone sześcioma równoległymi bramkami IN4. Ostatni stopień, podłączony analogicznie jak opisano

wyżej, stanowiło 18 inwerterów IN4. Obciążalność tych ostatnich stopni umożliwia podłączenie sond pomiarowych bez zakłócania pracy oscylatora. Ponadto konstrukcja taka, dzięki swej względnej złożoności, powinna umożliwiać (w połączeniu z wynikami innych pomiarów) dokonywanie oceny jakości poszczególnych partii MPW.

Struktura MT zawiera łącznie 135 bramek standardowych i zajmuje wraz z wyprowadzeniami powierzchnię ok. $1{,}6 \times 3{,}1$ mm^2.

Symulacja elektryczna oscylatorów pierścieniowych. Wybór komórek. Wyniki symulacji

Przeprowadzono symulacje elektryczne dla układów oscylatorów pierścieniowych złożonych z siedmiu segmentów (ang. stages) przy wykorzystaniu bramek zawierających inwertery oraz 2-, 3- i 4-wejściowe funktory NAND i NOR. Bramki NAND i NOR pełniły funkcje inwerterów ze sterowanymi jednym lub kilkoma połączonymi równolegle wejściami, podczas gdy pozostałe wejścia były podłączone do zasilania (NAND) lub ziemi (NOR).

Zanotowano wyniki symulacji: czasy opóźnienia sygnału oscylacji na jednym stopniu oscylatora, okresy i częstotliwości oscylacji oraz czasy narastania i opadania sygnału oscylacji.

Struktura testowa TS02 w wersji do pierwszego przebiegu MPW

Zestawiono 23 moduły pomiarowe w matrycy o rozmiarach 12×4 i łącznej powierzchni ok. $6 \times 3{,}2$ mm.

Struktura PWK ze wzmacniaczami operacyjnymi

Cztery wzmacniacze operacyjne o różnych stopniach wejściowych zostały zaprojektowane w Instytucie Mikroelektroniki i Optoelektroniki PW. Pliki w formacie CIF z opisem layout'ów tych układów zostały przesłane do naszego Zakładu, gdzie po wczytaniu ich do bazy danych MPW rozmieszczono je w strukturze (PWK) o rozmiarach $1{,}6 \times 1{,}6$ mm i 20 polach pomiarowych/montażowych.

Organizacja układu struktur występujących w pierwszym przebiegu MPW

W pierwszym przebiegu MPW występuje zestaw trzech struktur: **PWK** /IMiO PW/ + **TS02-4** /ITE/ + **TM** /ITE/).

Generacja plików wyjściowych i zamówienie masek technologicznych

Pliki w formacie gdsII z opisem topografii płytki MPW zostały wysłane do wytwórcy masek.

Publikacje'2004

[P1] BARAŃSKI M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCEWICZ W., KUCHARSKI K., MARCZEWSKI J., NIEMIEC H., SAPOR M., TOMASZEWSKI D.: TSSOI as an Efficient Tool for Diagnostics of SOI Technology in the IET. *J. of Telecommun. a. Inform. Technol.* (zgł. 28.11.03).

[P2] BULGHERONI A., BADANO L., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D.: Silicon Ultra Fast Camerras for Electron and y Sources in Medical Applications: a Progress Report. *Nucl. Phys. B (Proc. Suppl.)* (zgł. 22.11.04).

[P3] DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., KUTA S., MACHOWSKI W., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: Monolithic Active Pixel Detector in SOI Technology. Mat. konf. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (w druku).

[P4] GRODNER M., KLATKA T., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: CMOS SOI Technology Characterization and Verification of Device Models for Analogue Design. Mat. konf. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (w druku).

[P5] KUCEWICZ W., BULGHERONI A., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., JASTRZAB M., KOCIUBIŃSKI A., KUCHARSKI K., KUTA S., MARCZEWSKI J., NIEMIEC H., SAPOR M., TOMASZEWSKI D.: Fully Depleted Monolithic Active Pixel Sensor in SOI Technology. *IEEE Trans. on Nucl. Sci.*; IEEE NSS Conf. Records (zgł. 22.11.04).

[P6] KUCHARSKI K., TOMASZEWSKI D., GRODNER M., DUTKIEWICZ W., GRABIEC P., HEJDUK K., KOCIUBIŃSKI A., MALESIŃSKA J., KOKOSZKA A., OBRĘBSKI D., SZYNKA J.: MPW Service for Manufacturing of CMOS ASICs in a National Center of Silicon Micro- and Nano-Technology. Mat. konf. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (w druku).

[P7] KURJATA-PFITZNER E., SZYMAŃSKI A.: Wybrane problemy projektowania układów RF. *Elektronika* (zgł. 30.07.04).

[P8] KURJATA-PFITZNER E., SZYMAŃSKI A.: Wybrane problemy projektowania układów RF. Mat. konf. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (w druku).

[P9] MARCZEWSKI J., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEL M., KUCEWICZ W., KUCHARSKI K., KUTA S., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: Monolithic Silicon Pixel Detectors in SOI Technology. *Nucl. Instr. a. Meth.* A (zgł. 28.11.03).

[P10] MARCZEWSKI J., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., TOMASZEWSKI D., KUCEWICZ W., KUTA S., MACHOWSKI W., NIEMIEC H., SAPOR M., CACCIA M.: SOI Active Pixel Detectors of Ionizing Radiation – Technology and Design Development. *IEEE Trans. on Nucl. Sci.* 2004 vol. 51 nr 3 s. 1025–1028.

[P11] NIEMIEC H., BULGHERONI A., CACCIA M., GRABIEC P., GRODNER M., JASTRZAB M., KUCEWICZ W., KUCHARSKI K., KUTA S., MARCZEWSKI J., SAPOR M., TOMASZEWSKI D.: Monolithic Active Pixel Sensor Realized in SOI Technology – Concept and Verification. *Microelectron. Reliab.* (zgł. 22.11.04).

[P12] NIEMIEC H., JASTRZAB M., KUCEWICZ W., KUTA S., SAPOR M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D.,

BULGHERONI A., CACCIA M.: Status of the SOI Monolithic Active Pixel Detector Development. Proc. of Int. Conf. on Linear Colliders – LCWS 2004, Paryż, Francja, 19–23.04.2004 (w druku).

[P13] SIEKIERSKA K., KOKOSZKA A., OBRĘBSKI D., ŁUGOWSKI N., FRAŚ P., KOSTIENKO T., PAWLAK A., PENKALA P., STACHAŃCZYK D., SZLĘZAK M.: System TMRS do projektowania komponentów IP. *Elektronika* 2004 nr 11 s. 9–12.

[P14] SZYMAŃSKI A., KURJATA-PFITZNER E.: Wpływ obudowy na parametry układów scalonych RF. *Elektronika* 2004 nr 11 s. 23–25.

[P15] TOMASZEWSKI D., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., KUTA S., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEŹNIAK M.: Design, Fabrication and Characterization of SOI Pixel Detectors of Ionizing Radiation. Proc. of NATO ARW: Science and Technology of SOI Structures and Devices Operating in a Harsh Environment, Kijów, Ukraina, 25–29.04.2004 (zgł.17.05.04).

Konferencje'2004

[K1] DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., KUTA S., MACHOWSKI W., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: Monolithic Active Pixel Detector in SOI Technology. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (plakat, abstr. s. 245–246).

[K2] GRODNER M., KLATKA T., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: CMOS SOI Technology Characterization and Verification of Devices Models for Analogue Design. Mat. konf. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (plakat, abstr. s. 259–260).

[K3] HOPPE B., ŁUGOWSKI N., SIEKIERSKA K., OBRĘBSKI D.: Applications Specific Instruction Set Computers as Hardware Implementations of the JAVA Virtual Machine. 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24–26.07.2004 (ref.).

[K4] KUCEWICZ W., BULGHERONI A., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., JASTRZAB M., KOCIUBIŃSKI A., KUCHARSKI K., KUTA S., MARCZEWSKI J., NIEMIEC H., SAPOR M., TOMASZEWSKI D.: Fully Depleted Monolithic Active Pixel Sensor in SOI Technology. IEEE Nucl. Sci. Symp., Rzym, Włochy, 16–23.10.2004 (ref.).

[K5] KUCHARSKI K., TOMASZEWSKI D., GRODNER M., DUTKIEWICZ W., GRABIEC P., HEJDUK K., KOCIUBIŃSKI A., MALESIŃSKA J., KOKOSZKA A., OBRĘBSKI D., SZYNKA J.: MPW Service for Manufacturing of CMOS ASICs in a National Center of Silicon Micro- and Nano-Technology. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (plakat, abstr. s. 220–222).

[K6] KURJATA-PFITZNER E., SZYMAŃSKI A.: Features of Analogue Integrated RF Circuits Designing. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004, Stare Jabłonki, 19–22.04.2004 (plakat, abstr. 269–270).

[K7] MARCZEWSKI J., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., TOMASZEWSKI D., CACCIA M., KUCEWICZ W., NIEMIEC H.: Technology Development for SOI Monolithic Pixel Detectors. 13th Int. Workshop on Vertex Detectors VERTEX 2004, Menaggio, Włochy, 2004 (ref. zapr.).

[K8] NIEMIEC H., JASTRZAB M., KUCEWICZ W., KUTA S., SAPOR M., SZELEZNIAK M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D., CZERMAK A., DULNY B., SOWICKI B., ZALEWSKA A., BULGHERONI A., CACCIA M.:

Preliminary Measurements of the Monolithic Active Pixel Detector Realized in the SOI Technology. 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24–26.07.2004 (ref.).

[K9] NIEMIEC H., JASTRZAB M., KUCEWICZ W., KUTA S., SAPOR M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D., BULGHERONI A., CACCIA M.: Status of the SOI Monolithic Active Pixel Detector Development. Int. Conf. on Linear Collides – LCWS 2004, Paryż, Francja, 19–23.04.2004 (ref.).

[K10] NIEMIEC H., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEL M., KUCEWICZ W., KUCHARSKI K., KUTA S., JASIELSKI J., MARCZEWSKI J., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: Monolithic Active Pixel Detector in SOI Technology – Preliminary Results. IEEE 24th Int. Conf. on Microelectronics MIEL 2004, Nisz, Serbia i Czarnogóra, 16–19.05.2004 (ref.).

[K11] SIEKIERSKA K., KOKOSZKA A., OBRĘBSKI D., ŁUGOWSKI N., FRAŚ P., KOSTIENKO T., PAWLAK A., PENKALA P., STACHAŃCZYK D., SZLĘZAK M.: Verification of TRAMS with IP Component Design. 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24–26.07.2004 (ref.).

[K12] SIEKIERSKA K., OBRĘBSKI D., KOKOSZKA A., ŁUGOWSKI N., CARBALLEDA M., SCHLICHTER B.: Verification of Advanced Collaborative Infrastructure by Affine FPGA Design. Workshop on Challenges in Collaborative Engineering (CCE'04), Tatrzańska Łomnica, Słowacja, 18–21.04.2004 (ref.).

[K13] SZYMAŃSKI A., KURJATA-PFITZNER E.: Effects of Package on RF Circuits Design. 11th Int. Conf. Mixed Design of Integrated Circuits and Systems MIXDES, Szczecin, 24–26.07.2004 (kom., plakat).

[K14] TOMASZEWSKI D., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., KUTA S., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEŹNIAK M.: Design, Fabrication and Characterization of SOI Pixel Detectors of Ionizing Radiation. NATO ARW: Science and Technology of SOI Structures and Devices Operating in a Harsh Environment, Kijów, Ukraina, 25–29.04.2004 (kom.).