ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Jerzy Szynka
e-mail: szynka@ite.waw.pl, tel. (0-prefiks-22) 548 78 50

Zespół: mgr inż. Mirosław Grodner, mgr inż. Adam Jarosz,
prof. dr hab. inż. Andrzej Kobus, mgr inż. Artur Kokoszka,
mgr inż. Ewa Kurjata-Pfitzner, prof. dr hab. inż. Wiesław Kuźmicz,
mgr inż. Jan Lesiński, mgr inż. Norbert Ługowski,
mgr inż. Dariusz Obrębski, dr inż. Krystyna Siekierska,
mgr inż. Andrzej Szymański, mgr inż. Jerzy Wąsowski

1. Wprowadzenie

W Zakładzie Projektowania Układów Scalonych i Systemów w 2005 r. realizowano następujące projekty:

- ”Badania i rozwój metod projektowania cyfrowych i analogowo-cyfrowych systemów scalonych” (projekt statutowy nr 1.09.034),
- ”Opracowanie techniki cyfrowej autokalibracji charakterystyk częstotliwościowych w zastosowaniu do układu scalonego transceivera do krótkozasięgowej komunikacji bezprzewodowej” (projekt badawczy nr 2.09.100),
- “Research and Training Action for System on Chip Design” REASON – ”Badania i kształcenie w dziedzinie systemów jednoukładowych” (5. PR UE IST-2000-30193 nr projektu 5.09.018),
- usługi badawczo-rozwojowe (zaprojektowanie układów scalonych na zamówienie niemieckiej firmy TRITEM).

Ponadto Zakład brał udział w przygotowaniu dwóch wniosków o projekty finansowane ze środków Unii Europejskiej. Jeden z nich pt. “e-Cubes: 3-D-Integrated Micro/Nano Modules for Easily Adapted Applications” uzyskał akceptację i będzie realizowany począwszy od 2006 r.

2. Statutowy projekt badawczy

W ramach projektu realizowano cztery zadania:

- opracowanie metod projektowania oraz przykładowych rozwiązań układów scalonych do komunikacji bezprzewodowej pracującej w paśmie 2,4 GHz,
- opracowanie bloku IP realizującego nowy standard kodowania informacji cyfrowej AES (Advanced Encryption Standard),

- wykonanie pakietu projektowego dla technologii ITE C3P1M2 dla środowiska Cadence,
- Laboratorium ASIC – ewolucja narzędzi do projektowania układów scalonych i systemów.

Projekt ten jest ostatnim etapem prac, których celem było nabycie umiejętności projektowania systemów mikroelektronicznych w postaci układów scalonych pod kątem układów projektowanych na zamówienie ASIC.

2.1. Opracowanie metod projektowania oraz przykładowych rozwiązań układów scalonych do komunikacji bezprzewodowej pracującej w paśmie 2,4 GHz

Kontynuowano prace związane z układami przeznaczonymi do pracy w paśmie 2,4 GHz w celu zdobycia wiedzy i umiejętności projektowania układów RF. W szczególności wykonano pomiary struktury próbnej BT01, zrealizowanej w krzemie w technologii 0,35 μm HBT BICMOS w poprzednim etapie, oraz przygotowano projekty kolejnych bloków funkcjonalnych stosowanych w systemach łączności bezprzewodowej. Syntezer częstotliwości skonstruowany w oparciu o pętlę PLL (Phase Locked Loop) jest niezbędnym elementem tego rodzaju układów. Pętla PLL składa się z kilku bloków: oscylatora sterowanego napięciem VCO, programowalnego dzielnika częstotliwości, detektora fazy, pompy ładunkowej i filtru dolnoprzepustowego. Zaprojektowano kwadraturowy oscylator sterowany napięciem (łącznie z topografią).

2.1.1. Wyniki badań struktury próbnej BT01

Struktura testowa BT01 [P6] zawiera szereg bloków funkcjonalnych zaprojektowanych na pasmo 2,5 GHz. Porównano charakterystykę strojenia VCO zmierzoną z danymi uzyskanymi przez symulację układu. Mierzona częstotliwość oscylacji była o ponad 250 MHz wyższa od wartości otrzymanej w symulacji komputerowej dla parametrów typowych mimo przeprowadzenia symulacji post layout wraz z modelem obudowy. Stwierdzono, że szumy fazowe VCO są większe niż przewidywała symulacja układu.

Wzmocnienie mocy LNA odbiegało od oczekiwanego, ponieważ było zbyt małe (ok. 0 dB dla f = 2,4 GHz), a jego maksimum (ok. 5 ÷ 6 dB) było przesunięte w kierunku częstotliwości mniejszych niż oczekiwane (2 ÷ 2,1 GHz). Symulacja wzmocnienia dla typowych parametrów technologicznych dawała maksymalnie ok. 13 dB dla częstotliwości 2,45 GHz. Czynniki mające wpływ na różnice między parametrami otrzymanymi w wyniku symulacji i pomiarów są najprawdopodobniej następujące:

1) Przyjęty do symulacji modelu obudowy układu

Jak wykazała analiza, rozbieżności między modelami obudów plastykowej SOIC i ceramicznej SOIC są bardzo istotne i prowadzą do błędnych wyników w przy-

padku zamiennego ich stosowania. Z powodu braku modeli obudów ceramicznych symulacje parametrów wielkoczęstotliwościowych przeprowadzano przy wykorzystaniu modelu obudowy plastykowej, a ze względu na bardzo wysokie koszty montażu układów próbnych w obudowach plastykowych (w ITE nie ma możliwości montażu w obudowach SOIC) zrealizowano montaż w obudowach ceramicznych.

2) Niedopasowanie linii paskowych na płycie aplikacyjnej

Na skutek zastosowania modelu obudowy nieadekwatnego do stanu rzeczywistego otrzymano w symulacji błędne wyniki, na podstawie których wykonano projekt dopasowujących linii paskowych na płytce do testowania. Znaczne niedopasowanie na wejściu i wyjściu oraz zastosowany laminat FR4 powodują straty wzmocnienia rzędu 6 dB, co wskazuje, że rzeczywiste wzmocnienie wzmacniacza dla f = 2,4 GHz jest na poziomie ok. 6 dB.

3) Rozrzut technologiczny

Przesunięcie maksimum wzmocnienia wynika z rozrzutu technologicznego parametrów elementów układu scalonego, w szczególności kondensatorów. Po uwzględnieniu strat niedopasowania maksymalne wzmocnienie wzmacniacza jest szacowane na ok. 10 ÷ 11 dB.

Zaprojektowane układy na pasmo 2,4 GHz funkcjonowały prawidłowo, chociaż ich parametry odbiegały od oczekiwanych. Powodem była niewłaściwa obudowa, w jakiej ze względów finansowych zmontowano strukturę, co za tym idzie przygotowana aplikacja pomiarowa. Mimo ekranowania płytki pomiarowej obserwowany był wyraźny wpływ na wyniki pomiarów zewnętrznych źródeł zakłócających w postaci np. pracujących komputerów. Przyczyny niektórych negatywnych efektów, jak np. płynięcie częstotliwości oscylatora dla niższych napięć przestrajających oraz wpływ częstotliwości sygnału wejściowego na częstotliwość oscylatora, nie zostały do końca zidentyfikowane.

Posiadana aparatura, aczkolwiek stosunkowo nowa, pozwala na ograniczone pomiary parametrów. Ponadto konieczne jest doskonalenie metod pomiarowych w zakresie b.w.cz.

Warto podkreślić, że struktura próbna BT01 jest pierwszą strukturą zrealizowaną w krzemie, a jej badania są pierwszym krokiem w kierunku praktycznego poznania wszystkich aspektów projektowania układów wysokiej częstotliwości.

2.1.2. Projekt VCO z wyjściem kwadraturowym

Projekt VCO o sygnałach wyjściowych w kwadraturze, tj. przesuniętych w fazie o 90°, wykonano wybierając konstrukcję o minimalnej liczbie cewek indukcyjnych, ponieważ jest to najkorzystniejsze ze względu na zajmowaną powierzchnię krzemu. Dwie odpowiednio sprzężone pary różnicowe generują sygnały (A0, A90, A180, A270) przesunięte w fazie o 90°. Pary różnicowe złożone z tranzystorów pmos zawierają po jednej cewce włączonej między dwoma wyjściami, a nie po

jednej w każdej gałęzi, jak to najczęściej się stosuje. VCO ma dwa wejścia regulujące częstotliwość oscylacji – jedno zgrubne, do kompensacji rozrzutów technologicznych, i drugie dokładne, do wykorzystania np. w pętli PLL.

Wielokrotna symulacja układu stanowiła podstawę doboru właściwych wartości parametrów elementów układu – tranzystorów, rezystorów itd. Uzyskano poprawną kwadraturę sygnału wyjściowego oraz poprawne charakterystyki strojenia VCO zapewniające możliwość kompensacji rozrzutów technologicznych. Współczynnik wzmocnienia napięciowego K wynosi ok. 80 MHz/V. Niska jego wartość jest korzystna z punktu widzenia szumów. Całkowity zakres strojenia wynosi ponad 500 MHz. Pobór prądu wynosi ok. 6,5 mA, co przy napięciu zasilania 3 V stanowi prawie 20 mW.

Analiza *PSS* oraz *Pnoise* potwierdziły poprawność funkcjonalną i parametryczną projektu VCO. Szumy fazowe dla częstotliwości w zakresie pasma bluetooth dla odstępu (offset) 3 MHz zawierają się między –131 dBc/Hz a –124 dBc/Hz, a więc poniżej wartości wymaganej przez standard.

2.1.3. Projekt dzielnika programowalnego do pętli PLL

W systemach łączności bezprzewodowej, prowadzonej w określonym paśmie częstotliwości na ściśle określonych kanałach z wykorzystaniem przeskoków częstotliwości (frequency hopping), stosowany jest oscylator strojony napięciem ze sterowanym cyfrowo dzielnikiem częstotliwości, pracujący w pętli PLL. Pętla PLL umożliwia pracę przestrajanego oscylatora na częstotliwościach będących wielokrotnościami naturalnymi bądź ułamkowymi częstotliwości referencyjnej. W systemie bluetooth odległość kanałów łączności wynosi 1 MHz w zakresie 2402 ÷ ÷ 2480 MHz. Narzuca to architekturę pętli, zakres stopnia podziału częstotliwości M = 2402 ÷ 2480 oraz częstotliwość referencyjną f_{ref} = 1 MHz, ponieważ w stanie równowagi $f_{out} = M \times f_{ref}$.

Zadanie zmiennego podziału częstotliwości realizuje dzielnik programowany złożony z preskalera dzielącego przez N lub $N + 1$ (przełączane) oraz dzielnika stałego dzielącego przez P. Poprzez zmianę stosunku liczby okresów sygnału, w czasie których preskaler dzieli przez N lub przez $N + 1$, uzyskuje się zmienny stopień podziału częstotliwości równy $N \times P + S$, gdzie S jest wartością dziesiętną podawanej cyfrowo liczby binarnej związanej z numerem kanału łączności. Dla podanych wartości wygodnie jest przyjąć $N = 6$, $P = 400$ oraz $S = 2 \div 80$.

Preskaler został zaprojektowany jako układ analogowy, ponieważ jego napięcie wejściowe jest quasi-sinusoidalne o amplitudzie ok. 400 mV. Ze względu na dużą częstotliwość wejściową jest on zbudowany ze sterowanych synchronicznie przerzutników typu D i bramek w technice SCL o amplitudzie wyjściowej ok. 800 mV, tworzących rejestr liczący. Dzięki zasilaniu przez źródła prądowe uzyskuje się wyrównany pobór prądu zasilania – średnio ok. 340 μA/przerzutnik i 190 μA/bramkę. Sygnał m umożliwia zmianę liczby aktywnych przerzutników (3 lub 4) w rejestrze,

przez co uzyskuje się zmienny stopień podziału częstotliwości 6 lub 7. W celu dopasowania poziomów logicznych preskalera do poziomów logiki CMOS dzielnika stałego zastosowano przesuwnik napięcia oraz bufor o odpowiednio dobranych wymiarach tranzystorów. Całkowity pobór prądu preskalera dla zasilania 3 V i częstotliwości 2,4 GHz wynosi ok. 2,4 mA.

Dzielnik stały dzielący przez $P = 400$ generuje jednocześnie sygnał sterujący m do preskalera powodujący zmianę jego stopnia podziału w czasie $S = 2 \div 80$ okresów. Model VHDL dzielnika został zweryfikowany za pomocą symulacji dla kilku wartości $S = 2, 10, 80$. Po wygenerowaniu sieci połączeń elektrycznych (netlist) przeprowadzono symulację analogową zsyntetyzowanego układu dla $S = 2, 7, 80$.

Po stwierdzeniu prawidłowego działania obu części składowych dzielnika programowanego przeprowadzono symulację analogową układu preskalera i dzielnika stałego łącznie dla $S = 2, 7, 80$ i częstotliwości sygnału wejściowego odpowiednio 2402, 2407 i 2480 MHz. W każdym przypadku otrzymano sygnał wyjściowy o częstotliwości 1 MHz.

2.1.4. Podsumowanie

Wykonano badania elektryczne struktury próbnej BT01, która jest pierwszym projektem układu scalonego w ITE na zakres częstotliwości gigahercowych zrealizowanym w zaawansowanej technologii BICMOS 0,35 μm z tranzystorami krzemo-germanowymi. Uzyskane wyniki są obiecujące, choć zgodność z wynikami symulacji nie jest najlepsza. W przyszłości konieczne jest zapewnienie zgodności modelu obudowy używanej do symulacji z obudową stosowaną do montażu chipów.

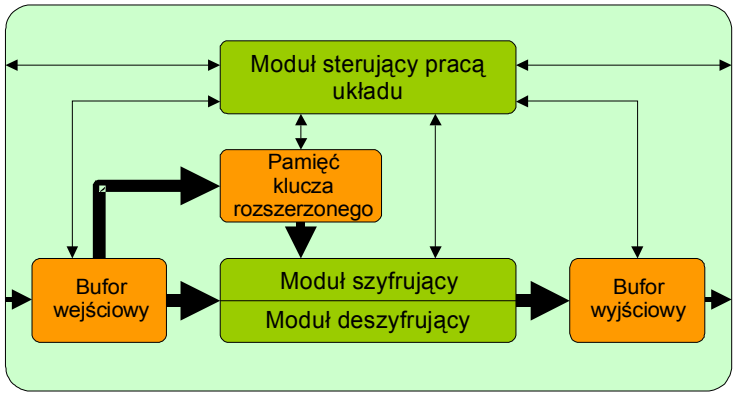
Zaprojektowano część bloków funkcjonalnych niezbędnych do realizacji programowalnego syntezera częstotliwości na pasmo ISM 2,4 GHz: dzielnik programowalny oraz VCO z wyjściami w kwadraturze.

Planując drugą wersję struktury próbnej warto byłoby umieścić w niej syntezer częstotliwości zbudowany w oparciu o pętlę PLL synchronizowaną zewnętrznym kwarcem. Należałoby kontynuować pracę nad kolejnymi blokami współdziałającymi z zaprojektowanymi blokami pętli PLL. Realizacja struktury BT02 będzie zależała od możliwości kadrowych i finansowych Zakładu.

2.2. Opracowanie bloku IP realizującego nowy standard kodowania informacji cyfrowej AES

W procesie szyfrowania oraz deszyfrowania można wyodrębnić dwa zasadnicze etapy: etap generacji klucza rozszerzonego na podstawie klucza o zadanej długości oraz etap szyfrowania bloku danych za pomocą wygenerowanego klucza rozszerzonego. W początkowej fazie projektu napisano uproszczone bloki funkcjonalne

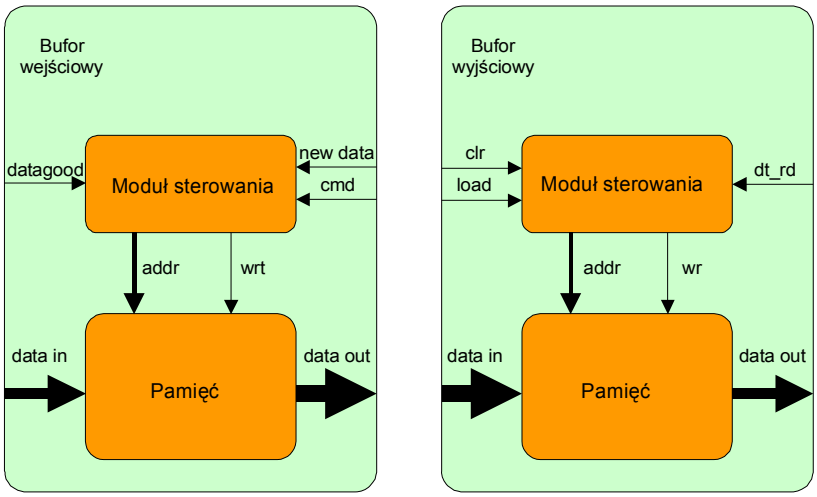
realizujące jedynie elementy algorytmu mogące zająć największe zasoby sprzętowe. Etap ten posłużył do racjonalnego wyboru architektury układu. Na podstawie analizy zdecydowano się nie umieszczać etapu generacji klucza rozszerzonego w postaci sprzętowej. Blok generacji klucza rozszerzonego zajmowałby w układzie powierzchnię zbliżoną do powierzchni bloku realizującego etap szyfrowania. W algorytmie AES klucz rozszerzony jest generowany jednokrotnie dla całego procesu szyfrowania przy użyciu danego klucza. Dlatego sprzętowa realizacja tej części algorytmu spowodowałaby nieistotne przyspieszenie procesu szyfrowania kosztem znacznego powiększenia powierzchni, a więc i kosztów całego układu. W dalszych pracach założono, że prawidłowy klucz rozszerzony jest generowany poza układem (np. na drodze programowej) i ładowany do wydzielonej pamięci w układzie przed rozpoczęciem procesu szyfrowania bloku danych. Na rys. 1 przedstawiono uproszczony schemat blokowy układu. Na obecnym etapie prac zostały zakończone i wstępnie przetestowane moduły: szyfrujący, deszyfrujący, pamięć klucza rozszerzonego, bufor wejściowy, bufor wyjściowy.



Rys. 1. Architektura układu AES

Bufory wejściowy i wyjściowy

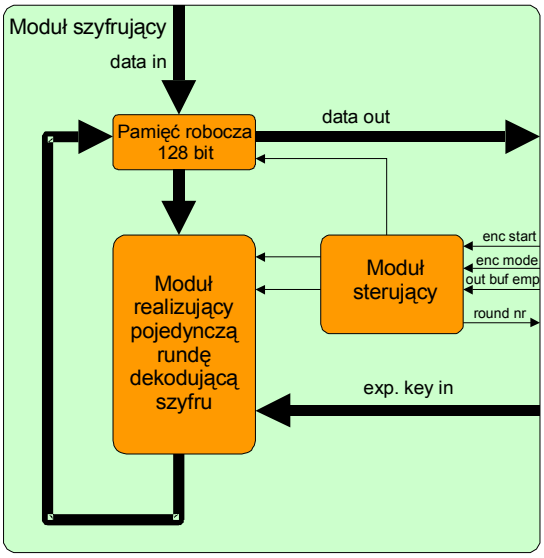
Ponieważ szyfr AES operuje 128-bitowymi blokami danych, konieczne stało się wprowadzenie interfejsu umożliwiającego komunikowanie się modułów szyfrujących/deszyfrujących z szynami danych o standardowej szerokości. Rolę takich interfejsów pełnią bufory wejściowy i wyjściowy. Zadaniem bufora wejściowego jest konwersja danych z 32-bitowej zewnętrznej szyny danych na wewnętrzną 128-bitową szynę danych. Zapis danych do bufora wejściowego może się odbywać jednocześnie z procesem szyfrowania bądź deszyfrowania poprzednio wczytanego bloku. Bufor wyjściowy umożliwia sekwencyjne odczytanie 128-bitowego bloku zaszyfrowanych danych poprzez zewnętrzną 32-bitową szynę danych. Również odczyt bufora wyjściowego może odbywać się równocześnie z procesem szyfrowania/deszyfrowania. Na rys. 2 przedstawiono uproszczony schemat blokowy bufora wejściowego oraz bufora wyjściowego.



Rys. 2. Schemat blokowy bufora wejściowego i bufora wyjściowego

Moduł szyfrujący

Uproszczony schemat blokowy modułu szyfrującego przedstawiono na rys. 3. Moduł ten jest odpowiedzialny za przekształcenie wejściowego 128-bitowego bloku tekstu jawnego w odpowiadający mu 128-bitowy szyfrogram. Jest on zaprojektowany tak, aby mógł realizować schematy szyfrowania dla wszystkich trzech standardowych długości klucza. Do wyboru trybu szyfrowania służy 2-bitowy sygnał enc_mode. Ustawienie sygnału enc_mode oraz liczbę rund dla poszczególnych długości klucza ilustruje tab. 1.



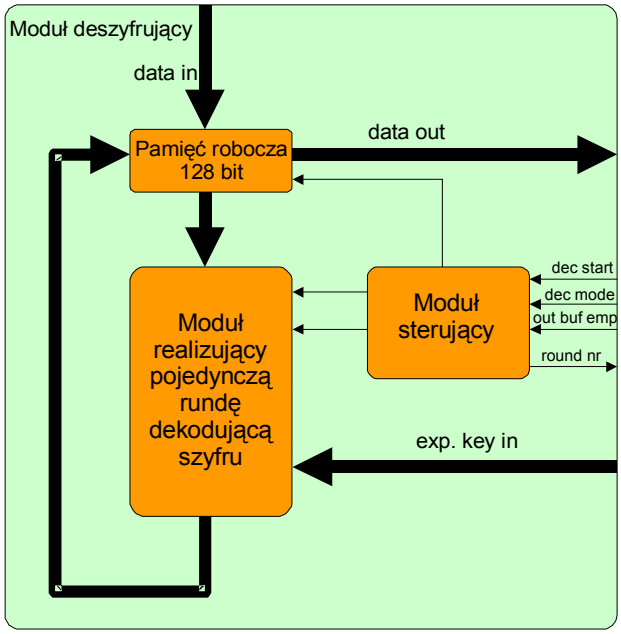
Rys. 3. Schemat blokowy modułu szyfrującego

Tabela 1. Wartość sygnału enc_mode dla poszczególnych długości klucza

enc_mode	Długość klucza	Liczba rund
01	128 b	10
10	192 b	12
11	256 b	14

Moduł deszyfrujący

Uproszczony schemat blokowy modułu deszyfrującego przedstawiono na rys. 4. Moduł ten jest odpowiedzialny za przekształcenie wejściowego 128-bitowego bloku szyfrogramu w odpowiadający mu 128-bitowy blok tekstu jawnego. Jest on zaprojektowany tak, aby mógł realizować schematy deszyfrowania dla wszystkich trzech standardowych długości klucza. Do wyboru trybu deszyfrowania służy 2-bitowy sygnał dec_mode. Ustawienie sygnału dec_mode oraz liczbę rund dla poszczególnych długości klucza ilustruje tab. 2.



Rys. 4. Schemat blokowy modułu deszyfrującego

Tabela 2. Wartość sygnału dec_mode dla poszczególnych długości klucza

dec_mode	Długość klucza	Liczba rund
01	128 b	10
10	192 b	12
11	256 b	14

2.3. Wykonanie pakietu projektowego dla technologii ITE C3P1M2 dla środowiska Cadence

Zaimplementowano kolejne komórki cyfrowe do biblioteki komórek standardowych związanej z technologią opracowaną w Zakładzie Technologii Mikrosystemów i Nanostruktur Krzemowych. Również pod kątem rozwoju biblioteki zbadano możliwość realizacji w tej technologii pierwszych komórek analogowych – wzmacniaczy operacyjnych. Ponadto sprawdzono poprawność i zatwierdzono pliki masek do MPW przesłanych do kontroli w ITE przez producenta masek firmę Photronics w Niemczech.

2.3.1. Rozbudowa biblioteki komórek standardowych dla procesu technologicznego 3 μm

W środowisku pakietu projektowego IDK do biblioteki komórek rdzenia ITE_COREM dołączono kolejne komórki z trzema reprezentacjami: ***layout***, ***schematic***, ***symbol***.

BU2..... bufor nieodwracający,
DF8..... przerzutnik typu D,
DF9..... przerzutnik typu D z wejściem ustawiającym,
DFB..... przerzutnik typu D z wejściami ustawiającym i zerującym,
DL8..... zatrzask,
DL9..... zatrzask z wejściem ustawiającym,
IT2..... trzystanowy bufor odwracający.

Ponadto w bibliotece umieszczono reprezentacje ***layout*** komórek, które są niezbędne do wykonania bloków cyfrowych:

RCAP..... prawostronne zakończenie rzędu komórek rdzenia,
LCAP..... lewostronne zakończenie rzędu komórek rdzenia.

2.4. Laboratorium ASIC – ewolucja narzędzi do projektowania układów scalonych i systemów

2.4.1. Administracja sieci

Zrealizowano część założeń przyjętych w poprzednich latach. Przetestowano różne warianty komunikacji komputerów z serwerem LDAP (tab. 3).

Tabela 3. Różne warianty komunikacji komputerów z serwerem LDAP

Metoda	Opis	Komentarz
none	Brak uwierzytelniania	**O**drzucono ze **W**zględów **B**ezpieczeństwa (OWB)
simple	Uwierzytelnianie na podstawie hasła	OWB – przesyłanie hasła jawnym tekstem
Sasl/CRAM-MD5	Uwierzytelnianie na podstawie biletów	OWB – metoda przestarzała, możliwość odczytu haseł do biletów z pliku
Sasl/DIGEST-MD5	Uwierzytelnianie na podstawie biletów	Błąd w systemie Solaris nie pozwala na wykorzystanie tej metody
Tls:none	Szyfrowanie przesyłanych danych, brak uwierzytelniania	OWB – użytkownik/komputer musi być uwierzytelniany
Tls:simple	Szyfrowanie, uwierzytelnianie na podstawie hasła	Obecnie najlepsza metoda do uwierzytelniania użytkowników/komputerów
Tls:sasl/CRAM-MD5	Szyfrowanie, uwierzytelnianie na podstawie biletów	OWB – hasła wciąż można odczytać z pliku
Tls:sasl/DIGEST-MD5	Szyfrowanie, uwierzytelnianie na podstawie biletów	Błąd w systemie Solaris nie pozwala na wykorzystanie tej metody
Tls:sasl/GSSAPI	Szyfrowanie, uwierzytelnianie na podstawie biletów	Brak natywnej implementacji tej metody w systemie Solaris

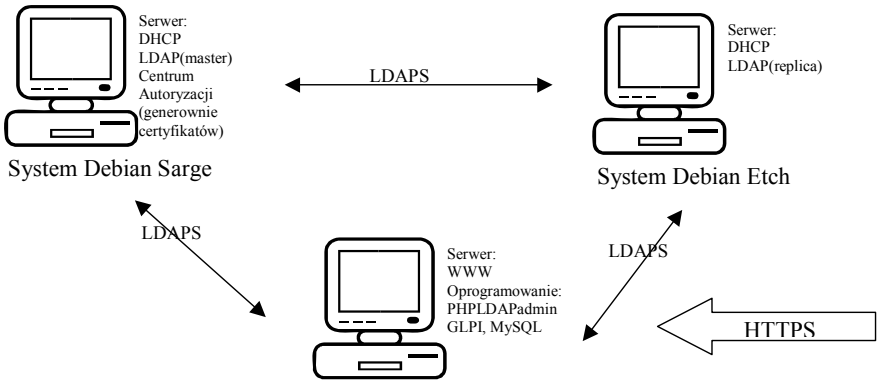
Testy metod opartych na SASL wymagały uruchomienia serwisów oferujących poszczególne metody, dzięki czemu również te technologie zostały rozpoznane. W praktyce okazało się, że stosowanie SASL umożliwia jeszcze jeden potencjalny sposób przejęcia kontroli nad serwerem LDAP (odczytanie pliku z kluczami kerberos), w związku z czym uwierzytelnianie ograniczono do mechanizmów wbudowanych w sam serwer LDAP. Dodatkowo utworzono zapasowy serwer LDAP (ang. replica) pracujący na nowszej wersji systemu (etch), pełniący dwie role:

- zabezpieczenie na wypadek awarii serwera głównego – uaktualniana na bieżąco baza LDAP,
- kontrolę zgodności aktualnej stabilnej wersji serwera z nowszą, testową (następną stabilną), gwarantującą bezproblemowe przejście na nowszą wersję, jeżeli ta stanie się stabilna.

Zastosowanie mechanizmów TLS wiąże się z użyciem certyfikatów uwierzytelniających serwer. Została utworzona struktura certyfikatów obejmująca:

- certyfikat główny (selfsigned) służący do podpisywania pozostałych certyfikatów,
- certyfikat dla serwera LDAP,
- certyfikat dla zapasowego serwera LDAP,
- certyfikat dla serwera WWW.

Serwer WWW jest obecnie używany do zarządzania serwerem LDAP (oprogramowanie PHPLDAPadmin), wobec czego niezbędne stało się szyfrowanie wszystkich danych przez niego przechodzących (zarówno „klient serwer www", jak i „serwer www serwer LDAP"). Szyfrowanie takie zapewnia zastosowanie certyfikatów oraz protokołu https. Niestety, nie udało się wprowadzić mechanizmu uwierzytelnienia komputerów kontaktujących się z serwerem LDAP opartego o certyfikaty. Klient LDAP zaimplementowany w systemie Solaris nie potrafi obsłużyć certyfikatów osobistych, wobec czego uwierzytelniany jest tylko serwer.



Rys. 5. System Debian Sarge

W 2005 r. został również zainstalowany program GLPI wykorzystywany do inwentaryzacji komputerów używanych w sieci wewnętrznej Zakładu. Program rozpowszechniany jest na licencji GPL, więc można go używać nie ponosząc żadnych kosztów. Jako miejsce przechowywania danych program wykorzystuje bazę danych MySQL, wobec czego niezbędne było jej zainstalowanie oraz skonfigurowanie. MySQL jest również dostępna na licencji umożliwiającej wykorzystanie jej bez dodatkowych opłat. Ponieważ interfejs użytkownika programu GLPI wykorzystuje protokół HTTP (skrypty napisane w PHP4), bardzo przydatna okazała się

stworzona wcześniej struktura certyfikatów (bezpieczne logowanie do programu) oraz serwer WWW (Apache2), pod który zostały podpięte skrypty wykorzystywane w programie.

2.4.2. Administracja oprogramowaniem CAD

Prace związane z administracją oprogramowaniem CAD przeprowadzone w 2005 r. można podzielić na dwie kategorie. Do pierwszej zaliczają się prace związane z aktualizacjami wszystkich systemów CAD wykorzystywanych do pracy w Zakładzie. Drugą kategorię stanowiły prace związane z rozważanym zakupem komercyjnej wersji systemu CAD, które zakończyły się przygotowaniem listy potrzebnych licencji oprogramowania.

Powodem instalowania aktualizacji są nowe funkcje pojawiające się w kolejnych wersjach oprogramowania, usunięcie błędów wersji poprzednich (żaden producent tak złożonych systemów nie jest w stanie ustrzec się ich w 100%), a także wymagania konkretnych środowisk projektowych (design kit) związanych z interesującymi nas procesami technologicznymi.

Do najważniejszych aktualizacji należy zaliczyć instalację oprogramowania Cadence, którego nową wersję Zakład otrzymał w ramach corocznej subskrypcji Europractice. Zainstalowane zostały następujące pakiety:

- IC w wersji 5.1.41 z USR 2,
- ICC w wersji 11.2.41 z USR 2,
- IUS w wersji 5.5,
- DSMSE w wersji 5.4 z USR 12,
- ASSURA w wersji 3.1.4,
- SOC w wersji 4.1 z USR 5,
- VSDE w wersji 4.1 z USR 1,
- RC w wersji 4.2 z USR 2,
- MSIM w wersji 6.0 z USR 1,
- NEOCK|T w wersji 3.2 z ISR,
- CONFORMAL w wersji 5.1 z USR 1.

Wprowadzoną w Zakładzie nowością w sposobie przeprowadzania instalacji było użycie narzędzia StreamManager. Program ten, będący częścią środowiska Cadence, umożliwia rejestrację wszystkich instalacji oprogramowania, ich grupowanie w większe zestawy funkcjonalne (związane z konkretnymi etapami procesu projektowania) oraz przydzielanie domyślnych konfiguracji dla tych zestawów. Co istotne, StreamManager umożliwia również rejestrowanie oprogramowania pochodzącego od innych firm. Oprócz wymienionego oprogramowania Europractice udostępniło na żądanie dodatkowe narzędzia firmy Cadence związane z zaawansowanymi metodami weryfikacji projektu.

Następnym krokiem po uaktualnieniu systemu Cadence, stanowiącego podstawowe narzędzie projektowania układów scalonych analogowych i mixed-signal w Zakładzie, była instalacja nowszej wersji design kit-u firmy AMS wykorzystywanego do realizacji prac.

Zainstalowano również nową wersję oprogramowania firmy Xilinx, otrzymywanego podobnie jak narzędzie firmy Cadence w ramach corocznej subskrypcji Europractice. Oprogramowanie to (ISE 7.1 – Integrated Synthesis Environment) jest środowiskiem implementacji układu cyfrowego w matrycach FPGA firmy Xilinx. Instalacja nowej wersji ISE wymusza skompilowanie nowej wersji bibliotek modeli symulacyjnych oraz DesignWare pochodzących z tego oprogramowania.

Oprócz uaktualnień oprogramowania, którego nowe wersje w postaci płyt CD przysyłane są raz do roku przez Europractice (wymusza to termin ich instalacji), w Zakładzie wykorzystywane są narzędzia firm Mentor Graphics i Synopsys, których produkty są pobierane bezpośrednio z serwerów ftp. Oprogramowania pochodzące od tych producentów są uaktualniane na bieżąco, w momencie pojawienia się nowszej wersji oferującej znaczące ulepszenie lub też gdy zostanie wykryta istotna usterka w wersji obecnie zainstalowanej.

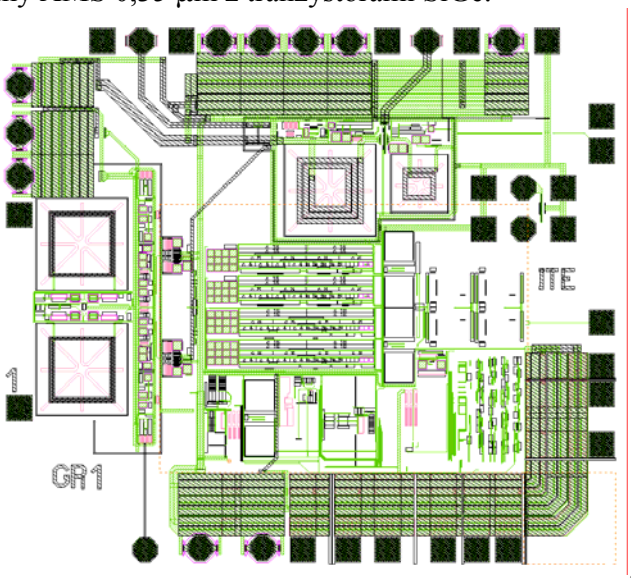
Należy zwrócić uwagę, że z zainstalowaniem określonej wersji oprogramowania wiąże się przetestowanie instalacji, napisanie plików konfigurujących środowisko użytkownika dla konkretnego narzędzia oraz – w przypadku niektórych narzędzi – rekompilacja bibliotek modeli zainstalowanych w sieci Zakładu.

3. Opracowanie techniki cyfrowej autokalibracji charakterystyk częstotliwościowych w zastosowaniu do układu scalonego transceivera do krótkozasięgowej komunikacji bezprzewodowej

Opracowano konstrukcję bloku mieszacza, filtru aktywnego RC pośredniej częstotliwości oraz bloku autokalibracji, składającego się z matrycy filtrów górno- i dolnoprzepustowych, detektora poziomu, detektora amplitudy, detektora fazy oraz bloku cyfrowego. Block cyfrowy sterujący kolejnymi krokami procesu autokalibracji opisano w języku VHDL, następnie przeprowadzono jego syntezę, a po weryfikacji współpracy z częścią analogową na drodze symulacji mieszanej wykonano topografie za pomocą programu Cell Ensamble. W układzie testowym zastosowano nowy kwadraturowy oscylator VCO oraz dokonano znaczących modyfikacji LNA po przeprowadzeniu badań struktury BT01. Wykonano również projekty topografii wszystkich wymienionych bloków funkcjonalnych.

Zaprojektowana struktura testowa GR1 (rys. 6), zawierająca bloki funkcjonalne układu autokalibracji stałej czasowej RC oraz VCO i LNA, niezbędne do przeprowadzenia planowanych badań elektrycznych, pozwoli na doświadczalną weryfikację opracowanej metody autokalibracji charakterystyk częstotliwościowych

oraz parametrów zaprojektowanych układów. Struktura ta została zaprojektowana dla technologii firmy AMS 0,35 μm z tranzystorami SiGe.



Rys. 6. Topografia struktury testowej GR1. Powierchnia chipu 4,75 mm^2

Zaprojektowano również i wykonano płytę pomiarowo-aplikacyjną (w dwóch wariantach) do badań bloku autokalibracji stałej czasowej RC. Przygotowano zestaw pomiarowy do badań związanych z charakterystykami częstotliwościowymi układów dla transceivera dla pasma bluetooth. Po nadesłaniu chipów z Europractice rozpoczną się ich badania.

4. Badania i kształcenie w dziedzinie systemów jednoukładowych (projekt REASON)

31 sierpnia 2005 r. został ukończony projekt z 5. Programu Ramowego Komisji Europejskiej „Research and Training Action for System on Chip Design" REASON ("Badania i kształcenie w dziedzinie systemów jednoukładowych"). Jego celem było upowszechnienie i podniesienie poziomu kształcenia inżynierów elektroników w dziedzinie projektowania systemów jednoukładowych poprzez ścisłą współpracę uczelni i instytucji badawczych krajów Europy Środkowej i Wschodniej oraz Unii Europejskiej. W projekcie uczestniczyły 22 instytucje z 16 krajów, w tym 17 instytucji z Europy Środkowej i Wschodniej. Koordynatorem projektu był prof. Wiesław Kuźmicz.

W ramach projektu odbyło się 291 różnorodnych akcji służących kształceniu oraz transferowi i wymianie wiedzy. Były to intensywne kursy, cykle wykładów, seminaria, szkoły letnie, sesje specjalne i serie tutoriali przy konferencjach naukowych, warsztaty itp. Wzięło w nich udział ponad 7600 osób, głównie nauczycieli

akademickich, badaczy i studentów, ale także pracowników z różnych przedsiębiorstw. Znaczna część imprez była organizowana wspólnie przez dwóch lub więcej partnerów, w tym także przez mieszane zespoły z krajów starej Unii oraz Europy Środkowej i Wschodniej. Wykładowcami byli też wybitni uczeni spoza Europy, przede wszystkim ze Stanów Zjednoczonych i Japonii.

Najważniejszymi pracami zrealizowanymi przez ITE w ramach projektu były:

- kursy i szkolenia (przeprowadzono 4 kursy i 6 szkoleń z udziałem pracowników z Zakładu Technologii Mikrosystemów i Nanostruktur Krzemowych oraz Zakładu Czujników Półprzewodnikowych),
- wspólna praca nad projektami (udział w projekcie scalonego układu edukacyjnego dla uczelni technicznych [K2],
- koordynacja drugiego Pakietu Roboczego WP2 (16 instytucji uczestniczących, 79 kursów szkoleń i szkół letnich z udziałem ponad 1660 uczestników).

Projekt spotkał się z bardzo wysoką oceną recenzentów i przedstawicieli Komisji Europejskiej.

5. Usługi badawczo-rozwojowe

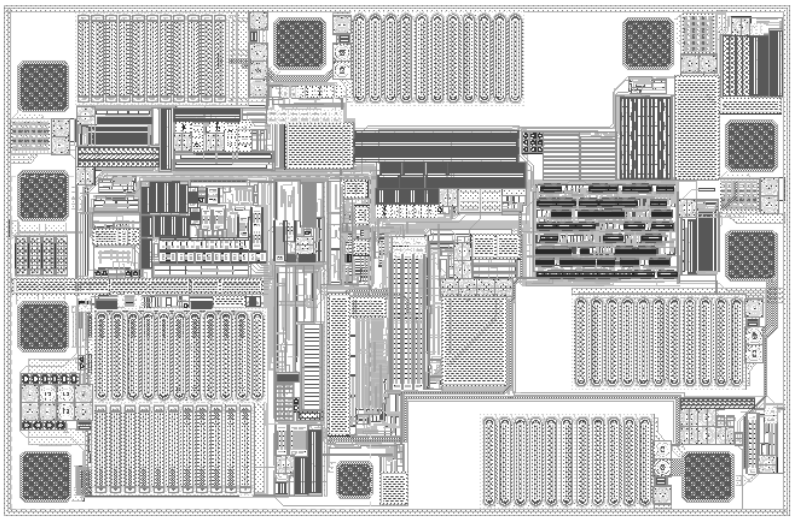
Zrealizowano trzy usługi badawczo-rozwojowe dla niemieckiej firmy TRITEM. Prace polegały na konstrukcji układów scalonych, ich wszechstronnym przesymulowaniu oraz wykonaniu projektów topografii. Układy te (technologia 0,8 μm SOI) są przeznaczone do systemów elektroniki motoryzacyjnej i przemysłowej. Zaprojektowano również odrębne układy testowe preznaczone do badania parametrów wybranych bloków funkcjonalnych stosowanych w tych układach.

Projekt układu scalonego (nr zlecenia 6.09.522)

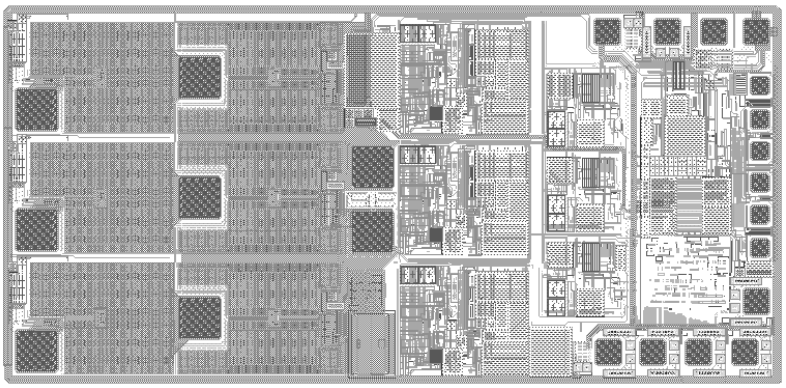
Układ stanowi transceiver niskiej częstotliwości według protokołu LIN. Projekt wykonano w 2004 r., a w 2005 r. zostały wytworzone układy i przeprowadzano ich badania. Projekt topografii przedstawiono na rys. 7. Wyniki testów w pełni potwierdziły poprawność projektu i zakładany uzysk.

Projekt układu scalonego (nr zlecenia 6.09.523)

Układ jest potrójnym sterownikiem półmostka z magistralą SPI (Serial Peripheral Interface). Wykonano wersję pierwszą układu (projekt topografii na rys. 8), który pod względem funkcjonalnym działał poprawnie. Uczestniczono również w postawieniu diagnozy co do przyczyn niezgodności niektórych parametrów układu z założonymi – wykonano trudne pomiary temperaturowe. Wykonano niezbędne modyfikacje w projekcie oraz drugą wersję prototypu układu. Zakończenie tematu przewidywane jest na pierwszy kwartał 2006 r., po wykonaniu partii próbnej układu.



Rys. 7. Projekt topografii układu. Powierzchnia układu wynosi 1,6 mm^2.



Rys. 8. Projekt topografii układu. Powierzchnia układu wynosi 4,5 mm^2.

Publikacje'2005

[P1] GRODNER M., KLATKA T., KOZIEŁ M., KUCEWICZ W., KUCHARSKI K., MARCZEWSKI J., NIEMIEC H., SAPOR M., SZELEZNIAK M., TOMASZEWSKI D.: CMOS SOI Technology Characterization and Verification of Device Models for Analogue Design. Mat. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004. Stare Jabłonki, 19–22.04.2004. CD ROM 2005 s. 437–440.

[P2] KUCHARSKI K., TOMASZEWSKI D., GRODNER M., DUTKIEWICZ W., GRABIEC P., HEJDUK K., KOCIUBIŃSKI A., MALESIŃSKA J., KOKOSZKA A., OBRĘBSKI D., SZYNKA J.: MPW Service for Manufacturing of CMOS ASICs in a National Center of Silicon Micro- and Nano-Technology. Mat. VIII Konf. Nauk. "Technologia Elektronowa" ELTE 2004. Stare Jabłonki, 19–22.04.2004. CD ROM 2005 s. 361–364.

[P3] KURJATA-PFITZNER E., SZYMAŃSKI A.: Wybrane problemy projektowania układów RF. *Elektronika* 2005 nr 2–3 s. 51–53.

[P4] KURJATA-PFITZNER E., SZYMAŃSKI A.: Wybrane problemy projektowania układów RF. Mat. VIII Konf. Nauk. ”Technologia Elektronowa” ELTE 2004. Stare Jabłonki, 19–22.04.2004. CD ROM 2005 s. 457–462.

[P5] MARCZEWSKI J., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KLATKA T., KOCIUBIŃSKI A., KOZIEL M., KUCEWICZ W., KUCHARSKI K., TOMASZEWSKI D.: Monolithic Silicon Pixel Detectors in SOI Technology. *Nucl. Instr. a Meth.* A 2005 vol. 549 nr 1–3 s. 112–116.

[P6] SZYMAŃSKI A., KURJATA-PFITZNER E.: Effects of Package and Process Variation on 2.4 GHz Analog Integrated Circuits. *Microelectron. Reliab*. (zgł. do druku).

[P7] SZYNKA J., GRODNER M., KOKOSZKA A., KURJATA-PFITZNER E., ŁUGOWSKI N., OBRĘBSKI D., SIEKIERSKA K., SZYMAŃSKI A., WĄSOWSKI J.: Zakład Projektowania Układów Scalonych i Systemów. W: Sprawozdanie z działalności Instytutu Technologii Elektronowej w 2004 r. ITE, Warszawa 2005, s. 137–151.

Konferencje’2005

[K1] JAROSZ A., PFITZNER A.: Calibration of the Interconnection Capacitance Models in Hybrid Statistical Simulation of IC’s. 12th Int. Conf. “Mixed Design of Integrated Circuits and Systems” MIXDES’2005, Kraków, 22–25.06.2005.

[K2] PLIVA Z., NOVAK O., SIEKIERSKA K., GRODNER M.: Test-Access Block, Serial Scan vs. Random Access Scan. 12th Int. Conf. MIXDES’2005, Kraków, 22–25.06.2005.

Patenty i zgłoszenia patentowe’2005

[PA1] SZYMAŃSKI A., KURJATA-PFITZNER E., PODMIOTKO W.: Układ zerowania. Pat. RP wg zgł. pat. nr P. 332438 z dn. 26.10.2005.