ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Jerzy SZYNKA
e-mail: szynka@ite.waw.pl, tel. (0-prefiks-22) 548 78 50

Zespół: mgr inż. Radosław Baranowski, Rafał Brzeziński, mgr inż. Piotr Danielak, mgr inż. Wojciech Dutkiewicz, mgr inż. Mirosław Grodner, dr inż. Grzegorz Janczyk, mgr inż. Adam Jarosz, prof. dr hab. inż. Andrzej Kobus, mgr inż. Artur Kokoszka, mgr inż. Ewa Kurjata-Pfitzner, prof. dr hab. inż. Wiesław Kuźmicz, mgr inż. Jan Lesiński, inż. Jolanta Malesińska, mgr inż. Norbert Ługowski, mgr inż. Dariusz Obrębski, dr inż. Juliusz Szczęsny, mgr inż. Andrzej Szymański, mgr inż. Jerzy Wąsowski, mgr Joanna Wójcik

1. Wprowadzenie

Zakład Projektowania Układów Scalonych i Systemów w 2006 r. zrealizował następujące projekty badawcze:

- "Projektowanie zintegrowanych heterogenicznych systemów mikroelektronicznych". Etap I (projekt statutowy nr 1.09.051),
- "Opracowanie techniki cyfrowej autokalibracji charakterystyk częstotliwościowych w zastosowaniu do układu scalonego tranceivera do krótkozasięgowej komunikacji bezprzewodowej" (projekt badawczy nr 4 T11B 038 25),
- "Metody oceny odporności układów scalonych na zaburzenia elektromagnetycznej" (projekt badawczy nr 3 T11B 036 30),
- "Wpływ konstrukcji i częstotliwości taktowania cyfrowych układów scalonych na generację zaburzeń elektromagnetycznych" (projekt badawczy 3 T11B 051 27),
- "3 D Integrated Micro/Nano Modules for Easily Adapted Applications" e-CUBES "3-wymiarowe scalone mikro i nanomoduły łatwo adaptowalne do zastosowań" (6. PR nr kontraktu 026461)

Ponadto Zakład realizował usługi badawczo-rozwojowe dotyczące zagadnień projektowania analogowo-cyfrowych układów scalonych zawierających elementy mocy przeznaczonych do pracy w trudnych warunkach środowiskowych (różnice temperatur w dużym zakresie, zakłócenia elektrostatyczne i elektromagnetyczne).

2. Projektowanie zintegrowanych heterogenicznych systemów mikroelektronicznych. Projekt statutowy

W 2006 r. prace koncentrowały się na następujących zagadnieniach:

- metody opisu systemu heterogenicznego na wysokim poziomie abstrakcji,
- opracowanie metod projektowania oraz przykładowych rozwiązań układów scalonych do komunikacji bezprzewodowej pracującej w paśmie 2,4 GHz,
- prace związane z udostępnieniem procesu technologicznego C3P1M2 w postaci serwisu MPW dla ośrodków edukacyjnych.

2.1. Metody opisu systemu heterogenicznego na wysokim poziomie abstrakcji

Pojęcie systemu heterogenicznego jest używane w różnych kontekstach. W omawianym projekcie jako system heterogeniczny rozumiany jest zintegrowany system mikroelektroniczny, w którym na wejściu i wyjściu występują również nieelektryczne zmienne fizyczne.

Związane jest to z tendencją integracji układu elektronicznego z blokami wejścia (czujnikami) i wyjścia (elementami wykonawczymi). Integracja, podobnie jak w przypadku układów scalonych, umożliwia miniaturyzację, podniesienie niezawodności i obniżkę kosztów wytwarzania systemów. Integracja oznacza również wzajemne oddziaływanie, zwiększając złożoność przedmiotu projektowania. Ponieważ zintegrowany system heterogeniczny stanowi rozszerzenie układu scalonego powstaje pytanie, czy metody projektowania układów scalonych można rozszerzyć do projektowania systemów heterogenicznych.

Analogie opisu

Podstawowym modelem układu elektronicznego jest model obwodowy (graf sieci), w którym obowiązują prawa Kirchhoffa dotyczące sumy napięć i sumy prądów. Elementy opisywane są relacjami napięcia i prądu. Podobne analogie można zaobserwować w wielu obszarach nieelektrycznych w odniesieniu do ruchu, przepływu ciepła i pola magnetycznego.

Nasuwa się wniosek, że metody projektowania układów elektrycznych można wykorzystać do projektowania zintegrowanych układów elektryczno-nieelektrycznych. Wymaga to stworzenia odpowiednich bibliotek elementów i reguł będących odpowiednikiem stosowanego w projektowaniu układów scalonych pakietu projektowania (*design kit*).

Opis wielopoziomowy

W praktyce mamy do czynienia z obiektami o dużej złożoności, wykluczającej możliwość rozpatrywania na jednym poziomie abstrakcji. Rozwiązaniem jest rozpatrywanie na różnych poziomach abstrakcji – lokalnym i globalnym. Przed-

miotem analizy jest wnioskowanie o zachowaniu globalnym systemu na podstawie budowy lokalnej – elementów i ich wzajemnego oddziaływania. Przedmiotem syntezy (projektowania) jest zagadnienie, jak i jakie elementy połączyć, aby uzyskać pożądane zachowanie globalne.

Koncepcja polega na wykorzystania faktoryzacji odwzorowania globalnego do określenia związku z cechami lokalnymi. Przy założeniu, że system jest wielowymiarowy i ewoluuje w czasie, zbiorem sygnałów jest zbiór odwzorowań przestrzeni R i czasu T w zbiór sygnałów wejścia X, stanu S i wyjścia Y:

$X^{RxT} = \{x(r,t):R:T \rightarrow X\}$ zbiór sygnałów wejściowych

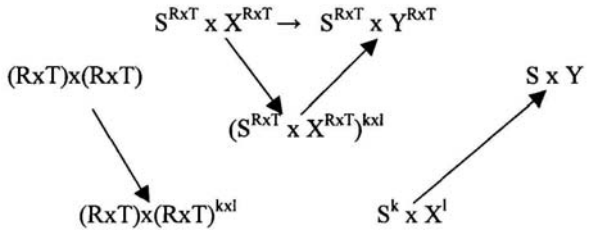
$S^{RxT} = \{s(r,t):RxT \rightarrow S\}$ zbiór sygnałów wejściowych

$Y^{RxT} = \{y(r,t):RxT \rightarrow Y\}$ zbiór sygnałów wejściowych

Odwzorowanie globalne

$$S^{RxT} \text{ x } X^{RxT} \rightarrow S^{RxT} \text{ x } Y^{RxT}$$

można faktoryzować tak, że



Pierwszy faktor jest w relacji projekcji ze strukturą czasowo-przestrzenną, natomiast drugi z funkcjami lokalnymi. W celach obliczeniowych zależność tę można przedstawić w postaci funkcji z odchylonymi argumentami:

$$s(r,t) = F(s(r-\Delta r, t-\Delta t, x(r-\Delta r, t-\Delta t)),$$

gdzie F opisuje funkcje lokalne, natomiast odchylenia argumentów strukturę czasowo-przestrzenną. Ten zapis stanowi punkt wyjścia do badania zachowania systemu.

2.2. Opracowanie metod projektowania oraz przykładowych rozwiązań układów scalonych do komunikacji bezprzewodowej pracującej w paśmie 2,4 GHz

Kontynuowano zadanie związane z układami przeznaczonymi do pracy w paśmie 2,4 GHz w technnologii 0,35μ SiGe. Wykonano pomiary kwadraturowego oscylatora sterowanego napięciem VCO zaprojektowanego w poprzednim roku, a następnie przeprojektowano go. Po zbadaniu wykonanych układów stwierdzono,

że generuje on drgania w żądanym zakresie częstotliwości. Wykonano również projekt elektryczny pętli PLL do zastosowania w syntezerze częstotliwości pełniącym funkcję heterodyny w odbiorniku pracującym z przeskokami częstotliwości. W tego typu odbiornikach pętla PLL jest wykorzystywana do strojenia oscylatora (VCO) zgodnie ze sterującym słowem kodowym otrzymywanym z procesora sterującego.

Kwadraturowy oscylator sterowany napięciem

Projekt oscylatora regulowanego napięciem VCO z wyjściami w kwadraturze został zrealizowany w krzemie jako jeden z kilku układów RF umieszczonych w strukturze testowej GR1. Struktura ta została zaprojektowana tak, aby zapewnić możliwość badania VCO całkowicie niezależnie od pozostałych bloków funkcjonalnych.

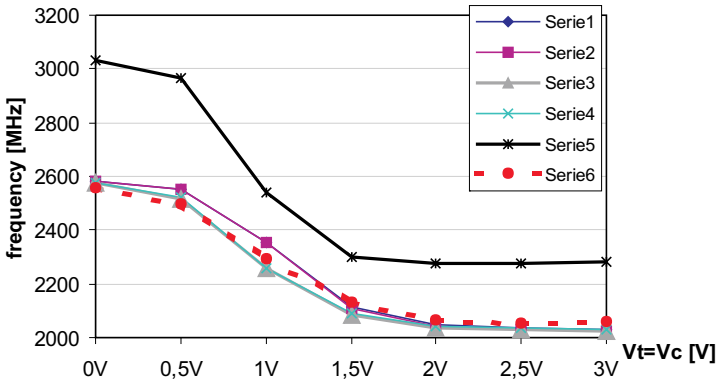
Pierwsze badania układu VCO były negatywne, ponieważ dla nominalnego napięcia zasilania 3 V żaden układ nie wykazywał oscylacji. Następne pomiary przeprowadzono dla wyższych napięć zasilania – oscylator zaczął generować od 3,5 V, ale jego charakterystyka znacząco odbiegała od charakterystyki przewidywanej przez symulacje układu. Z tego powodu wykonano modyfikację projektu, która polegała na zmianie parametrów konstrukcyjnych tranzystorów w parze różnicowej bez zmian w zasadniczym schemacie. Miało to na celu zwiększenie zdolności przepływu energii wewnątrz rezonatora LC między jego gałęziami. Zmiany te spowodowały przyspieszenie startu oscylatora dla wszystkich zestawów parametrów modeli oraz poprawną pracę również dla napięcia zasilania $V_{cc} = 2$ V. Czas startu oscylatora jest w oczywisty sposób związany z pojemnościami występującymi w jego rdzeniu (tj. w obu parach różnicowych): pojemnościami waraktorów regulowanych napięciami i pojemnościami tranzystorów MOS. Ale najsilniej zależy on od pojemności pasożytniczych ścieżek połączeń w układzie.

Wyniki pomiarowe uzyskane przy użyciu analizatora widma na pasmo do 3 GHz firmy Rohde&Schwarz dla drugiej wersji VCO są zgodne z wynikami symulacji dla typowych parametrów modeli przyrządów półprzewodnikowych z uwzględnieniem pasożytniczych pojemności obliczonych na podstawie projektu layoutu .

W celu zbadania powtarzalności parametrów VCO zmierzono charakterystyki strojenia czterech chipów dla zwartych końcówek $U_{cor} = U_t$ (rys. 1). Stwierdzono, że typowo rozrzuty są znacznie mniejsze niż 1%. A zatem można stwierdzić, że zrealizowany według drugiej wersji projektu kwadraturowy VCO charakteryzuje się parametrami zgodnymi z oczekiwanymi: szerokim zakresem strojenia 2030 MHz ÷ ÷ 2585 MHz i wzmocnieniem napięciowym ok. 70 MHz/V.

Projekt elektryczny syntezera częstotliwości w zastosowaniu do odbiornika na pasmo ISM 2,4 GHz

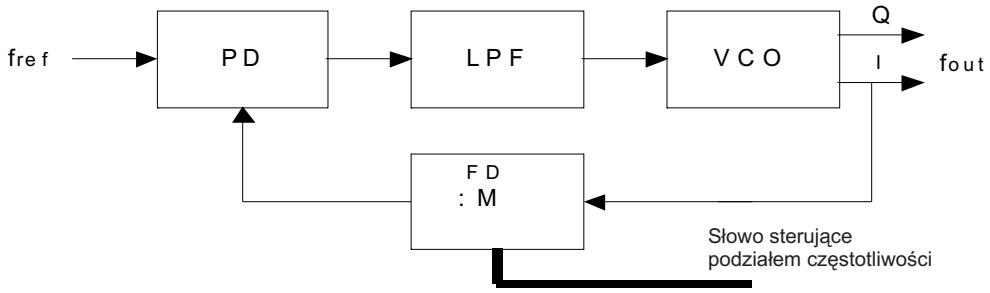
W poprzednich etapach wykonano projekty elementów odbiornika RF pracującego w paśmie 2,4 GHz: wzmacniacza wejściowego, oscylatora, mieszacza oraz



Rys.1. Zmierzone charakterystyki czterech VCO (serie 1–4) z różnych chipów. Seria 5 – wynik symulacji dla *schematic view*, seria 6 – wynik symulacji dla *extracted view*

programowanego dzielnika częstotliwości. W bieżącym etapie wykonano projekt elektryczny pętli PLL do zastosowania w syntezerze częstotliwości pełniącym funkcję heterodyny w odbiorniku pracującym z przeskokami częstotliwości. W tego typu odbiornikach pętla PLL jest wykorzystywana do strojenia oscylatora (VCO) zgodnie ze sterującym słowem kodowym otrzymywanym z procesora sterującego, które oddziałuje na stopień podziału programowanego dzielnika częstotliwości, a w konsekwencji na częstotliwość VCO. Na przykład w standardzie bluetooth wykorzystuje się 79 kanałów położonych co 1 MHz w paśmie 2401 ÷ 2479 MHz, wybieranych pseudolosowo z szybkością 1600/s. W tym wypadku słowo sterujące musi być 7-bitowe.

Pętlę PLL (rys. 2) tworzą: detektor fazy porównujący fazę przebiegu oscylatora o podzielonej częstotliwości z fazą przebiegu referencyjnego 1 MHz (częstotliwość referencyjna wynika z odstępu kanałów łączności); filtr dolnoprzepustowy tłumiący składowe zmienne powstające na wyjściu detektora oraz oscylator VCO i programowany dzielnik częstotliwości. W dawniejszych rozwiązaniach stosowano analogowe mnożniki jako detektory fazy, obecnie, szczególnie tam, gdzie występują cyfrowe przebiegi prostokątne, wykorzystuje się najczęściej sekwencyjne cyfrowe



Rys. 2. Schemat blokowy syntezera częstotliwości. PD – detektor fazy, LPF – filtr DP, VCO – oscylator sterowany napięciem, FD – dzielnik częstotliwości

detektory częstotliwościowo-fazowe (PFD) z pompą ładunkową. Mają one wiele zalet: nie są wrażliwe na współczynnik wypełnienia i amplitudę sygnałów, nie powodują chwytania pętli na harmonicznych, mają szeroki zakres detekcji fazy (+/–2π). Główną wadą jest wrażliwość na impulsy zakłócające lub zaniki sygnału.

Sekwencyjny detektor fazy generuje na wyjściach impulsy o czasie trwania proporcjonalnym do różnicy faz przebiegów wejściowych, przy czym w zależności od relacji częstotliwościowo-fazowych między porównywanymi przebiegami generowane są impulsy na jednym z wyjść sterujących pompą ładunkową, co powoduje doładowywanie lub rozładowywanie impulsami prądowymi pojemności w filtrze dolnoprzepustowym i w konsekwencji wzrost lub spadek średniego napięcia przestrajającego VCO. Możliwe są różne rozwiązania PFD.

Pompa ładunkowa stanowi zestaw dwóch przeciwsobnych źródeł prądowych o identycznym prądzie, włączanych kluczami sterowanymi z wyjść UP i DOWN detektora fazowego. Wybrano prąd 0,5 mA ze względu na to, że mniejsze wydajności prądowe powodują znaczny wzrost rezystancji w filtrach, a większe wzrost średniego prądu zasilania.

Istotnym elementem pętli PLL jest filtr dolnoprzepustowy, którego zadaniem jest odfiltrowanie składowych zmiennych i zapewnienie dobrej stabilności i odpowiedniej szybkości pętli. W rozwiązaniach z pompą ładunkową stosuje się najczęściej pasywne filtry drugiego lub trzeciego rzędu, przy czym te ostatnie zapewniają lepsze tłumienie składowych o częstotliwości referencyjnej. Symulacje pętli PLL przeprowadzono dla trzech wariantów filtru oraz dwóch rozwiązań detektora fazy.

2.3. Prace związane z udostępnieniem procesu technologicznego C3P1M2 w postaci serwisu MPW dla ośrodków edukacyjnych

W istotny sposób został rozbudowany pakiet projektowy (*design kit*) niezbędny do zaprojektowania układu scalonego dla danego procesu w systemie Cadence. Kontynuowane były prace z lat ubiegłych, kiedy to system Cadence został wybrany z uwagi na jego popularność oraz dostępność w ramach edukacyjnej oferty Europractice. Najważniejsze grupy zagadnień realizowanych w 2006 r. to:

- ulepszenie procedur generacji oraz ekstrakcji komórek parametrycznych,
- uruchomienie narzędzia porównywania schematu z topografią (LVS),
- przeniesienie procedur DRC i LVS dla programu ASSURA,
- uruchomienie Virtuoso-XL,
- uruchomienie automatycznej generacji warstw dodatkowych.

Ulepszenia w procedurach generacji oraz ekstrakcji komórek parametrycznych

Komórki parametryczne (Pcells) są to elementy biblioteczne, których właściwości nie są jednoznacznie ustalone, lecz mogą być zmieniane przez użytkownika. Więk-

szość komórek parametrycznych jest wyposażona we wbudowane procedury (*call-back*), których podstawowym zadaniem jest powiązanie ze sobą zależnych parametrów komórki.

Wbudowane procedury zostały rozszerzone o następujące funkcje:

- Kontrola wartości podawanych parametrów. W przypadku próby przekroczenia granic wartości procedura przypomina użytkownikowi o istniejącym ograniczeniu oraz wstawia do formularza odpowiednią graniczną wartość danego parametru. Wszelkie parametry zależne są automatycznie przeliczane na podstawie tej wartości.
- Kontrola dopasowania do skoku siatki. Wymiary elementów topografii muszą być całkowitą wielokrotnością skoku siatki charakterystycznego dla danego procesu technologicznego (0,5 mikrona w C3P1M2). Próba wprowadzenia wartości niedozwolonej powoduje wygenerowanie ostrzeżenia oraz wstawienie najbliższej wartości będącej wielokrotnością skoku siatki. Parametry zależne zostają przeliczone automatycznie. Kontrola dopasowania do siatki ma również miejsce w przypadku, gdy wartość wymiaru jest obliczana na podstawie parametru elektrycznego. Wówczas obliczona wartość wymiaru jest zaokrąglana do skoku siatki i ta wartość jest z powrotem przeliczana na parametr elektryczny dając tym samym jego prawdziwą wartość.
- Uwzględnienie rezystancji kontaktów. W obliczeniu rezystancji rezystora bierze się pod uwagę obecnie również liczbę par kontaktów w nim występujących. Jest to szczególnie istotne dla niewielkich rezystorów, kiedy to pominięcie rezystancji kontaktu wprowadzało znaczny błąd. Generowana jest zawsze największa dozwolona regułami technologicznymi liczba kontaktów.

Wpływ liczby kontaktów został również uwzględniony w procedurach ekstrakcji sieci połączeń z topografii.

Uruchomienie narzędzia sprawdzania zgodności topografii ze schematem – LVS (*layout versus schematic*)

Sprawdzanie zgodności topografii ze schematem było tą funkcją, której brak był najbardziej dokuczliwy w poprzednich wersjach *design kit-u*. Plik sterujący dla narzędzia LVS obejmuje następujące elementy: procedury redukcji, procedury porównywania parametrów oraz wywołania obu typów procedur dla poszczególnych typów przyrządów zdefiniowanych w bibliotece technologicznej. Zadaniem procedur redukcji jest uproszczenie sieci połączeń sprawdzanej komórki poprzez zastąpienie określonych układów tych samych elementów elementem zastępczym o odpowiednio wyliczonych parametrach. Procedury porównywania elementów sprawdzają zgodność wybranych parametrów komórek z zadaną tolerancją (1%). Procedury redukcji i porównywania pisane są osobno dla poszczególnych elementów zdefiniowanych w bibliotece technologicznej, każdy z nich może bowiem mieć inny zestaw parametrów.

Przeniesienie procedur sprawdzania topografii, ekstrakcji i LVS do narzędzia Assura

Omawiane do tej pory procedury ekstrakcji były napisane dla narzędzia Diva, które jest wbudowane w edytor topografii Virtuoso. W ostatnich latach w edukacyjnej ofercie Europractice pojawiło się nowe narzędzie firmy Cadence – Assura, oferujące bardziej zaawansowane możliwości weryfikacji, a także znacznie wygodniejszy graficzny interfejs użytkownika pomagający w szybkiej lokalizacji błędów. Większość popularnych pakietów projektowych innych firm umożliwia wykorzystanie Assury, dlatego też zdecydowano się na udostępnienie tego wartościowego narzędzia także dla użytkowników *design kit-u* ITE.

Pierwszym etapem było napisanie plików sterujących konfigurujących środowisko użytkownika w chwili uruchomiania narzędzia. Pliki reguł DRC, ekstrakcji i LVS dedykowane dla Divy musiały zostać znacznie zmodyfikowane, aby umożliwić poprawną pracę programu Assura. Najwięcej zmian wymagał plik reguł LVS, ponieważ metodyka sprawdzania LVS w programie Assura odbiega znacznie od sposobu działania Divy.

Uruchomienie Virtuoso-XL

Virtuoso-XL jest składnikiem pakietu IC firmy Cadence oferującym znaczne ułatwienie w tworzeniu topografii układu na podstawie jego schematu. Jednakże aby były one dostępne, niezbędne jest zdefiniowanie dodatkowej sekcji w pliku technologicznym. Zawiera ona definicje warstw połączeniowych, czyli tych, które wewnątrz układu scalonego spełniają rolę ścieżek połączeniowych. Do przejścia między poszczególnymi poziomami warstw połączeniowych wykorzystywane są tzw. warstwy via. Są nimi kontakty, a także przelotki między poziomami metalizacji. Jednakże Virtuoso-XL w sposób automatyczny rozpoznaje tylko kontakty tworzone z trzech warstw. Jeśli do budowy kontaktu potrzeba więcej niż trzech warstw, co ma miejsce w przypadku kontaktu do podłoża oraz wyspy, wówczas taka struktura musi zostać opisana specjalną procedurą generującą odpowiednio powiązane ze sobą kształty na wszystkich składowych warstwach takiego kontaktu. Topografie komórek, które mają zostać połączone, muszą mieć właściwie zdefiniowane tzw. piny. Jest to warunkiem poprawnego działania Virtuoso-XL.

Automatyczna generacja warstw dodatkowych

W każdym praktycznie procesie technologicznym istnieją warstwy, które nie tworzą bezpośrednio przyrządów (jak np. warstwa dyfuzji lub polikrzem), ale są niezbędne do wykonania kompletnego układu scalonego. W naszym przypadku są to warstwy CHAP i CHAN definiujące obszar implantacji tzw. *channel stopper*, która ma na celu zapobieżenie otwarciu kanału w pasożytniczym przyrządzie MOS, który mógłby powstać w miejscu prowadzenia ścieżki polikrzemowej między właściwymi przyrządami. Aby uwolnić projektanta od ręcznego dodawania tych warstw, zostały napisane procedury wykonujące proces w sposób automatyczny.

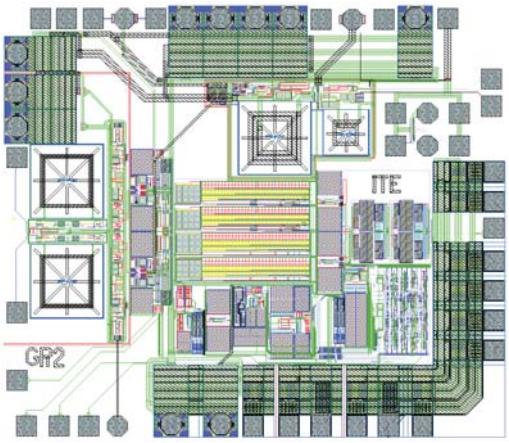
Sam proces generacji warstw odbywa się dwuetapowo – po pierwsze uruchomiany jest program ASSURA DRC z plikiem startowym RSF (*run specific file*) nakazującym wykonanie podczas DRC komend generujących warstwy dodatkowe do pliku w formacie GDS. Jednocześnie wyłączone zostaje sprawdzanie reguł związanych z warstwami CHAP i CHAN, ponieważ ich wykonanie w tym czasie spowodowałoby pojawienie się fałszywych komunikatów o błędach. Przed uruchomieniem DRC wyświetlane jest okienko dialogowe proszące użytkownika, aby upewnił się, czy komórka jest bezbłędna, ponieważ jej dalsza przeróbka mająca na celu usunięcie błędów będzie prawdopodobnie wymagała powtórzenia całości procesu generacji warstw. Kiedy DRC się wykona i wygenerowane warstwy zostaną poprawnie zapisane, wówczas użytkownik może przejść do drugiego etapu, którym jest import zapisanych wcześniej warstw do topografii. Wcześniej może zostać wykonana kopia bezpieczeństwa topografii użytkownika (wyświetlane jest okno dialogowe z pytaniem). Procedury sterujące wykonaniem całości operacji wykonują także dodatkowe czynności, jak ustawienie edytora topografii w odpowiedni w danym momencie tryb pracy oraz na końcu odświeżenie ekranu. Procedury obsługują też potencjalne błędy mogące wystąpić podczas obu etapów operacji.

Modyfikacja bibliotek komórek standardowych

Poddano weryfikacji LVS (wcześniej niemożliwej) poszczególne komórki z dwóch bibliotek komórek standardowych. Istniejące niezgodności wymiarów elementów zostały usunięte, a ponadto komórki zostały przystosowane do wykorzystania w programie Virtuoso-XL. Zatwierdzone nowe wersje komórek zostały powtórnie poddane charakteryzacji z nowymi modelami tranzystorów MOS w celu uaktualnienia ich parametrów czasowych.

3. Opracowanie techniki cyfrowej autokalibracji charakterystyk częstotliwościowych w zastosowaniu do układu scalonego tranceivera do krótkozasięgowej komunikacji bezprzewodowej

Opracowano metodę automatycznej kalibracji charakterystyk częstotliwościowych wybranych bloków układu transceivera na pasmo 2,4 GHz. Przebadano pierwszą wersję struktury próbnej GR1. Dokonano niezbędnych zmian w projekcie chipu struktury badawczej, które miały na celu poprawienie parametrów niektórych bloków funkcjonalnych. Ponadto niezbędne okazało się zwiększenie możliwości diagnostycznych poszczególnych układów umieszczonych w torze sygnałowym. W tym celu wyprowadzono na pady chipu szereg sygnałów wewnętrznych. Zaprojektowana struktura badawcza GR2 (rys. 3) może być montowana w obudowę 28- lub 40-wyprowadzeniową. Układ GR2 został zrealizowany w krzemie i aktualnie trwają jego badania.



Rys. 3. Projekt layoutu układu badawczego GR2

4. Wpływ konstrukcji i częstotliwości taktowania cyfrowych układów scalonych na generację zaburzeń elektromagnetycznych

W projekcie określono wpływ topografii bloków logicznych w matrycy cyfrowej XILINX typ XCV 800 na poziom generowanych zakłóceń EM. Opracowano dziewięć różnych wersji projektów układów scalonych wykonujących funkcję mnożenia liczb metodą kombinacyjną i sekwencyjną. Oszacowano względną indukcyjność doprowadzeń na strukturze półprzewodnikowej w celu określenia jej wpływu na poziom generowanych zaburzeń.

5. Metody oceny odporności układów scalonych na zaburzenia elektromagnetyczne

Rozpoczęto prace nad opracowaniem metod pomiaru i układów pomiarowych do badania odporności układów scalonych cyfrowych na zewnętrzne impulsowe narażenia elektromagnetyczne.

6. Działalność dydaktyczna

Przeprowadzono miesięczne praktyki dla siedmiu studentów krajowych i jednego z zagranicy skierowanego przez The International Association for the Exchange of Students for Technical Experience (IAESTE).

Opracowano i przeprowadzo tygodniowy kurs dla grupy absolwentów „Wprowadzenie do projektowania układów scalonych”, zorganizowany z inicjatywy Agencji Rozwoju Mazowsza.

Publikacje'2006

[P1] BULGHERONI A., BADANO L., CACCIA M., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D., ZALEWSKA A.: Silicon Ultra Fast Cameras for Electron and y Sources in Medical Applications: a Progress Report. *Nucl. Phys. B - Proc. Suppl.* 2006 vol. 150 s. 308–312.

[P2] CACCIA M., BADANO L., BERST D., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MARCZEWSKI J., TOMASZEWSKI D., ZALEWSKA A.: The SUCIMA Project: A Status Report on High Granularity Dosimetry and Proton Beam Monitoring. *Nucl. Instr. & Meth. in Phys. Res.* A 2006 vol. 560 s. 153–157.

[P3] KOŁODZIEJSKI J. F.: Działalność normalizacyjna dotycząca układów scalonych i kompatybilności elektromagnetycznej. *Normalizacja* 2006 (zgł. do druku).

[P4] KOŁODZIEJSKI J. F.: Projektowanie i symulacja układów elektronicznych. *Elektronika* 2006 (zgł. do druku).

[P5] KOŁODZIEJSKI J. F.: Rozwój półprzewodnikowych układów scalonych – charakterystyczne rozwiązania i osiągnięcia. *Zesz. Nauk. Politechniki Łódzkiej – Elektryka* (zgł. do druku).

[P6] MARCZEWSKI J., DOMAŃSKI K., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., TOMASZEWSKI D., CACCIA M., KUCEWICZ W., NIEMEC H.: Technology Development for SOI Monolithic Pixel Detectors. *Nucl. Instr. & Meth. in Phys. Res.* A 2006 vol. 560 s. 26–30.

[P7] PIĄTEK Z., PLESKACZ W.A., KOŁODZIEJSKI J. F.: Transmission Line Pulsing Tester for On-Chip ESD Protection Testing. Proc. 13th Int. Conf. "Mixed Design of Integrated Circuits and Systems" MIXDES'2006, Gdynia, 22–24.06.2006, s. 595–598.

[P8] SZYMAŃSKI A., KURJATA-PFITZNER E.: Effects of Package and Process Variation on 2.4 GHz Analog Integrated Circuits. *Microelectron.& Reliab.* 2006 vol. 46 s. 189–193.

Konferencje, seminaria'2006

[K1] DUMANIA P., GRABIEC P., GRODNER M., JAROSZEWICZ B., KOCIUBIŃSKI A., KUCHARSKI K., MALINOWSKI A., MARCZEWSKI J., NIEMEC H., PANAS A., TOMASZEWSKI D., WÓJCIK J., ZABOROWSKI M., ZAJĄC J.: Application and Characterization of CMOS Technology in IET. 7. Symp. Diagnostics & Yield, Advanced Silicon Devices and Technologies for ULSI Era. Warszawa, 25–28.06.2006 (plakat).

[K2] JAROSZ A., PFITZNER A.: Interconnection Capacitances Dependence on Further Neighbourhood in the Bus-Experimental Verification of the Model. 13th Int. Conf. "Mixed Design of Integrated Circuits and Systems" MIXDES'2006, Gdynia, 22–24.06.2006 (plakat).

[K3] PIĄTEK Z., PLESKACZ W.A., KOŁODZIEJSKI J. F.: Transmission Line Pulsing Tester for On-Chip ESD Protection Testing. 13th Int. Conf. "Mixed Design of Integrated Circuits and Systems" MIXDES'2006, Gdynia, 22–24.06.2006 (ref.).

Patenty i zgłoszenia patentowe'2006

[PA1] KOŁODZIEJSKI J. F., KUCIŃSKI J.: Sposób określania wpływu zaburzeń elektromagnetycznych na pracę układów scalonych. Pat. RP nr 192241.