ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Jerzy SZYNKA
e-mail: szynka@ite.waw.pl, tel. (0-22) 548 78 55

Zespół: mgr inż. Wojciech Dutkiewicz, mgr inż. Mirosław Grodner,
dr inż. Grzegorz Janczyk, mgr inż. Adam Jarosz,
prof. dr hab. inż. Andrzej Kobus, mgr inż. Ewa Kurjata-Pfitzner,
mgr inż. Norbert Ługowski, mgr inż. Dariusz Obrębski,
dr inż. Tomasz Radomski, dr inż. Martha Suarez,
mgr inż. Andrzej Szymański, dr inż. Jerzy Szynka,
mgr inż. Jerzy Wąsowski, mgr Joanna Wójcik

1. Działalność badawczo-rozwojowa w 2011 r.

W 2011 r. Zakład realizował następujące projekty:

- „Projektowanie systemów mikro- i nanoelektronicznych w zaawansowanych technologiach CMOS". Etap I (projekt statutowy nr 1.09.061);
- „Nanoelectronics for Safe, Fuel Efficient and Environment Friendly Automotive Solutions" SE2A – „Nanoelektronika dla bezpiecznych, efektywnych pod względem zużycia paliwa i przyjaznych dla środowiska rozwiązań samochodowych" (projekt UE w ramach 7. PR, nr kontraktu NCBiR/ENIAC-2008-1/2/2009);
- "Partitioning and Modeling of System in Package (SiP) PARSIMO – „Partycjonowanie i modelowanie układów typu System in Package (SiP)" (projekt UE w ramach 7. PR, nr kontraktu ENIAC-2010-1/4/2010);
- „Partnership for Elaboration of Cognitive Radio" PAR4CR – „Partnerstwo dla opracowania radia kognitywnego" (projekt UE w ramach 7. PR, nr kontraktu 230688);
- „Smart System Codesign SMAC – „Zaawansowane techniki projektowania systemów inteligentnych" (projekt UE w ramach 7. PR, nr kontraktu 288827);
- „Best-Reliable Ambient Intelligent Nano Sensor Systems" e-BRAINS – „Inteligentne systemy nanoczujnikowe zoptymalizowane pod kątem niezawodności" (projekt UE w ramach 7. PR, nr kontraktu 257488);
- „Customer Oriented Product Engineering of Micro and Nano Devices" CORONA „Zorientowana na klienta inżynieria produkcji mikro- i nanoprzyrządów" (projekt UE w ramach 7. PR, nr kontraktu NPM2-SL-2008-213969, nr zlecenia 5.09.042);
- „Zaprojektowanie i wykonanie detektora promieniowania sub-THz działającego w oparciu o krzemowy tranzystor MOS" (projekt badawczy nr 0155/R/T00/ /2009/09);
- „Opracowanie układu elektronicznego do elektromodulacji nerwu błędnego ze sprzężeniem zwrotnym i jego zastosowanie do badań nad otyłością i nadciśnieniem tętniczym u zwierząt doświadczalnych" (projekt badawczy N 515 0793 37).

2. Działalność statutowa
Projektowanie systemów mikro- i nanoelektronicznych w zaawansowanych technologiach CMOS

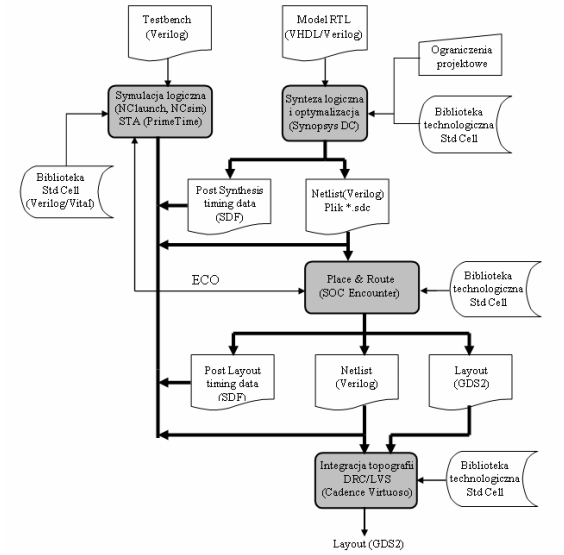
2.1. Proces projektowania układów cyfrowych w zaawansowanych technologiach CMOS

Odpowiedzialny za realizację zadania: mgr inż. Jerzy Wąsowski

Zadanie było kontynuacją prac prowadzonych w Zakładzie w 2010 r., mających na celu opracowanie oraz praktyczną weryfikację procesu projektowania złożonych układów (bloków) cyfrowych, realizowanych w zaawansowanych technologiach CMOS przy wykorzystaniu narzędzi projektowania CAD dostępnych w ITE.

Implementacja układu testowego

Implementację układu testowego wykonano zgodnie z procesem projektowania układów cyfrowych przyjętym w poprzednim etapie prac (rys. 1). Wyróżniona część grafu obejmuje operacje wykonywane w ramach opisywanego zadania. W celu optymalizacji parametrów układu wielokrotnie wykonywano syntezę logiczną, projekt topografii układu (*Place&Route*) oraz symulację logiczną i statyczną analizę czasową (*STA*).



Rys. 1. Graf procesu projektowania układów cyfrowych w ITE

Programy *SOC Encounter* (*Place&Route*) oraz *PrimeTime* (*STA*) mają wbudowane funkcje obsługi operacji *ECO* (*Engineering Change Order*), umożliwiającej iteracyjną optymalizację parametrów czasowych układu (*timing closure*) bez konieczności powtarzania pełnego cyklu generacji topografii, który jest zazwyczaj bardzo czasochłonny. W ramach operacji *ECO* wykonywane są tylko dwa rodzaje

modyfikacji układu: zamiana bramek na inne o tej samej funkcji logicznej, ale innej obciążalności (*drive strength*) oraz wprowadzanie/usuwanie buforów.

Ze względu na typ układu testowego, którym był procesor kryptograficzny, jako główny parametr optymalizacji przyjęto szybkość przetwarzania danych. W celu uzyskania jak najwyższej częstotliwości sygnału zegarowego układu przeprowadzono optymalizację ścieżki krytycznej.

Synteza i optymalizacja logiczna

Syntezę logiczną układu wykonano w trybie topograficznym (*Synopsys DC*) przy wykorzystaniu biblioteki technologicznej dla najgorszego przypadku (*worst case*). W pakiecie projektowym LFoundry parametry czasowe *worst case* są definiowane dla minimalnego napięcia zasilania (1,62 V), maksymalnej temperatury pracy układu (125°C) oraz najwolniejszego procesu technologicznego dającego największe opóźnienia w ścieżce krytycznej. Ścieżka krytyczna układu zawiera trzy 16-bitowe kombinacyjne układy mnożące i znajduje się w bloku przetwarzania danych procesora kryptograficznego. Przyjęto następujące ograniczenia projektowe:

- minimalny okres sygnału zegarowego układu 16 ns, co odpowiada częstotliwości 62,5 MHz;
- maksymalny *clock_skew* sygnału zegarowego: 100 pS;
- maksymalne opóźnienie sygnałów wejściowych (*input_delay*): 2 ns;
- maksymalne opóźnienie sygnałów wyjściowych (*output_delay*): 2 ns.

Opóźnienie występujące w ścieżce krytycznej układu, przy uwzględnieniu czasów *setup_time* dla przerzutników oraz *clock_skew*, nie powinno przekraczać wartości 16 ns.W wyniku iteracyjnej syntezy i optymalizacji logicznej uzyskano opóźnienie w ścieżce krytycznej nieco większe od założonego. Uzyskane parametry zawiera podsumowanie raportu ścieżki krytycznej (*report_timing*) (rys. 2) wygenerowane przez program statycznej analizy czasowej *PrimeTime*.

Ujemna wartość parametru *snack*, opisującego różnicę między parametrem *data_required_time* oraz *data_arrival_time*, oznacza naruszenie ograniczenia projektowego opisującego minimalną wartość okresu sygnału zegarowego. Opóźnienie w ścieżce krytycznej wynosi 16,321 ns, co odpowiada maksymalnej częstotliwości sygnału zegarowego 61,27 MHz.

```
clock ck (rise edge)                                          16.000     16.000
clock network delay (ideal)                                    0.000     16.000
clock uncertainty                                             -0.100     15.900
idea_proc/icore/i_engine1/dpath1/areg_reg[15]/CP (DF_X1)                 15.900 r
library setup time                                            -0.147     15.753
data required time                                                       15.753
-------------------------------------------------------------------------------
data required time                                                       15.753
data arrival time                                                       -16.075
-------------------------------------------------------------------------------
slack (VIOLATED)                                                         -0.321
```

Rys. 2. Raport typu *post synthesis* dla ścieżki krytycznej (*PrimeTime*)

Projekt topografii

Projekt topografii układu wykonano przy wykorzystaniu narzędzia *Cadence SOC Encounter*, umożliwiającego automatyczną generację topografii układu cyfrowego metodą komórek standardowych (*standard_cells*). Plikami wejściowymi do programu *SOC Encounter* są:

- *netlist* – opis projektu w formacie Verilog;
- *design_constraints* – plik ograniczeń projektowych *sdc*.

Pliki te są generowane przez narzędzie syntezy logicznej *Synopsys DC* (rys. 1). W celu ułatwienia pracy iteracyjnej opracowano plik uruchomieniowy w formacie *tcl*, zawierający wszystkie niezbędne komendy wymagane w procesie generacji topografii, takie jak: wczytanie opisu projektu w formacie Verilog (*netlist*), generacja rozkładu bloków funkcjonalnych (tzw. *floorplan*), generacja sieci masy i zasilania (*power_ring*, *power_stripes*), rozmieszczanie komórek (*placement*), synteza drzewa zegarowego *CTS* (*Clock_Ttree_Synthesis*) oraz generacja sieci połączeń (*routing*).

W procesie rozmieszczania komórek (*placement*) zastosowano zaawansowane opcje optymalizacji. Wykorzystano tu *timing_driven_placemant* oraz *inplace_optimization*. W oddzielnym skrypcie uruchomieniowym zawarto komendy ekstrakcji parametrów RC ścieżek połączeń oraz generacji pliku opóźnień czasowych w formacie *SDF*, wykorzystywanego podczas końcowej symulacji logicznej (*post_layout_ _simulation*) oraz statycznej analizy czasowej (*STA*).

Po syntezie topografii stwierdzono, że opóźnienie w ścieżce krytycznej jest mniejsze od wartości uzyskanej w procesie syntezy logicznej i spełnia założenia projektowe (rys. 3). Można to tłumaczyć faktem, że operacja *Place&Route*, wykorzystywana w procesie syntezy topograficznej (*Synopsis DC*) do estymacji opóźnień ścieżek połączeń, ma charakter przybliżony i może dawać wyniki o wartościach nadmiarowych w stosunku do wyników otrzymanych w efekcie precyzyjnej operacji *Place&Route* wykonywanej przez narzędzie *SOC Encounter*. Uzyskane ostatecznie opóźnienie w ścieżce krytycznej wynosi 15,980 ns, co daje maksymalną częstotliwość sygnału zegarowego równą 62,58 MHz. Odpowiada to maksymalnej szybkości przetwarzania danych procesora kryptograficznego równej 445 Mb/s (dla przypadku *worst_case*).

```
clock ck (rise edge)                                    16.000     16.000
clock network delay (ideal)                              0.000     16.000
clock uncertainty                                       -0.100     15.900
idea_proc/icore/i_engine1/dpath1/R_242/CP (DF_X2)                  15.900 r
library setup time                                      -0.155 *   15.745
data required time                                                 15.745
-------------------------------------------------------------------------
data required time                                                 15.745
data arrival time                                                 -15.725
-------------------------------------------------------------------------
slack (MET)                                                         0.020
```

Rys. 3. Raport post layout ścieżki krytycznej (*PrimeTime*)

Zbiorczy raport *post-layout* statycznej analizy czasowej programu *PrimeTime* podano na rys. 4. Jak widać kluczowe testy dla parametrów *setup_time* i *hold_time* przerzutników przyniosły w 100% wynik pozytywny.

W tab. 1 podano podsumowanie wyników projektu układu testowego. Należy zwrócić uwagę, że po wykonaniu topografii nastąpiło zwiększenie liczby komórek bibliotecznych wykorzystanych w układzie, a tym samym wzrost liczby równoważnych bramek. Jest to rezultat wykonania optymalizacji rozmieszczania komórek oraz syntezy drzewa zegarowego (*CTS*). Operacje te powodują modyfikację pierwotnej sieci logicznej układu.

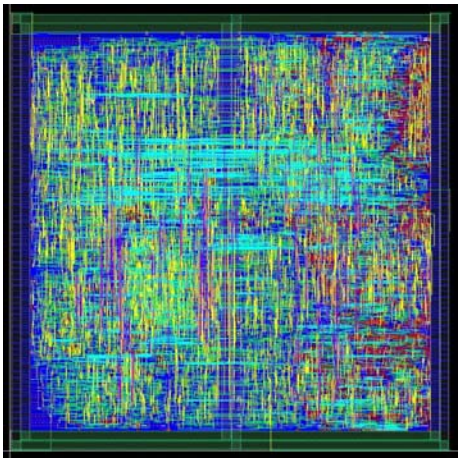
```
Type of Check          Total              Met          Violated          Untested
-----------------------------------------------------------------------------------
setup                   2768       2768 (100%)         0 (  0%)          0 (  0%)
hold                    2768       2768 (100%)         0 (  0%)          0 (  0%)
recovery                 529        528 (100%)         0 (  0%)          1 (  0%)
removal                  529        528 (100%)         0 (  0%)          1 (  0%)
min_pulse_width         6065       5536 ( 91%)         0 (  0%)        529 (  9%)
-----------------------------------------------------------------------------------
All Checks             12659      12128 ( 96%)         0 (  0%)        531 (  4%)
```

Rys. 4. Zbiorczy raport post layout (*PrimeTime*)

Tabela 1. Podsumowanie wyników projektu układu testowego(LFoundry150nm)

Etap projektowania	Ścieżka krytyczna (*PrimeTime*)	Liczba komórek standardowych (*standardcell*)	Liczba bramek (*gatecount*)	Powierzchnia *core* [mm^2]
Synteza logiczna (SynopsysDC)	16,321 nS (61,27 MHz)	17 410	44 850	0,405
Layout (SOC Encounter)	15,980 nS (62,58 MHz)	19 275	47 666	0,476

Ostateczny projekt topografii układu po wczytaniu do środowiska Cadence Virtuoso pokazano na rys. 5. Powierzchnia układu bez padów (*core*) nie przekracza 0,5 mm^2, co wynika z dużej gęstości upakowania bramek (*gate_density*), która dla wykorzystywanego procesu LFoundry 150 nm wynosi 110 tys. bramek/mm^2. Dla porównania parametr *gate_density* dla procesu AMS 0,35 μm zawierającego cztery poziomy metalizacji (jest to najbardziej zaawansowany proces CMOS wykorzystywany dotychczas w ITE) wynosi 16 tys. bramek/mm^2.



Rys. 5. Topografia układu testowego (*core*) (*Cadence Virtuoso*

Uznano, że opisywany układ ma zbyt małą powierzchnię do prototypowania w postaci samodzielnego projektu w serwisie EUROPRACTICE. Dla wykorzystywanego procesu LFoundry 150 nm minimalna płatna powierzchnia układu wynosi 4 mm^2 przy cenie 850 €/mm^2. Ze względów finansowych zdecydowano, że *core* cyfrowego układu testowego wraz z odpowiednimi padami zostanie umieszczony jako część składowa analogowo-cyfrowej struktury testowej realizowanej dla tej samej technologii w ramach oddzielnego zadania statutowego. Powierzchnia części analogowej jest znacznie większa niż opisywanej części cyfrowej.

Podsumowanie

Wykonano implementację złożonego cyfrowego układu badawczego w zaawansowanej technologii CMOS, wykorzystując proces projektowania układów cyfrowych (*designflow*) opracowany na poprzednim etapie projektu statutowego.

Prace obejmowały syntezę i optymalizację logiczną układu w trybie topograficznym (po raz pierwszy w ITE), generację topografii (*Place&Route*) wraz z syntezą drzewa zegarowego oraz symulację logiczną i statyczną analizę czasową (*STA*). Projekt przeznaczony jest do prototypowania w technologii LFoundry 150 nm jako część składowa analogowo-cyfrowej struktury testowej.

Projektowanie układów cyfrowych w zaawansowanych technologiach CMOS wymaga stosowania narzędzi syntezy logicznej nowej generacji, ponieważ głównym składnikiem opóźnień sygnałów w układzie nie są opóźnienia wnoszone przez funktory logiczne, lecz opóźnienia ścieżek połączeń.

Statystyczny model opóźnień ścieżek stosowany dla mniej zaawansowanych procesów jest niewystarczający. Właściwym podejściem jest synteza topograficzna wiążąca proces syntezy logicznej z procesem generacji topografii układu (*Place& &Route*), uwzględniająca rzeczywiste (przybliżone) opóźnienia ścieżek połączeń.

2.2. Proces projektowania analogowych układów scalonych w zaawansowanych technologiach CMOS

Odpowiedzialny realizację zadania: mgr inż. Andrzej Szymański

Wykonano badania scalonej struktury próbnej, która została zaprojektowana w 2010 r. Zaprojektowano złożoną płytę aplikacyjną wykorzystywaną do badań prototypów zmontowanych w obudowie QFN56. Pomiary wykazały poprawność funkcjonalną prawie wszystkich bloków, ale nie najlepszą zgodność otrzymanych parametrów z wcześniejszymi symulacjami, do czego mogą przyczyniać się za mało dokładne modele przyrządów, a także problemy specyficzne dla technologii nanometrowych. Obecny etap pozwolił zdobyć pierwsze doświadczenia praktyczne związane z układami analogowymi wykonanymi w zaawansowanym procesie CMOS. Uzyskanie zakładanych parametrów niektórych z badanych bloków funkcjonalnych będzie wymagać ich korekty oraz zaprojektowania i zbadania kolejnej struktury próbnej, która zostanie rozszerzona o nowe bloki funkcjonalne.

Pomiary układu badawczego SBL-01

Struktura badawcza SBL-01 została zaprojektowana w 2010 r. w celu dokonania oceny przydatności technologii submikronowej LFoundry CMOS-150 nm do różnego rodzaju układów analogowych. Wykonane w serwisie Europractice struktury próbne zostały zmontowane w obudowach QFN-56.

Układ SBL-01 zawiera różne bloki funkcjonalne:

- blok zasilania (źródło napięcia referencyjnego, stabilizatory napięcia, układ *power-on-reset*, źródło prądów referencyjnych, źródła prądów polaryzujących);
- blok oscylatora (oscylator strojony z dzielnikiem częstotliwości);
- blok wzmacniacza w.cz. (wzmacniacz i mieszacz);
- blok częstotliwości pośredniej (wzmacniacz-ogranicznik, demodulator FM).

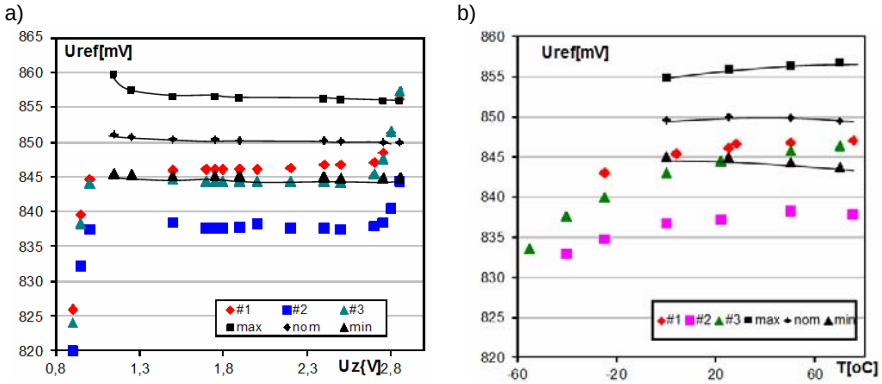
Pierwszy blok jest zasilany z napięcia 1,8 ÷ 2,8 V, pozostałe z napięcia stabilizowanego 1,6 V wytworzonego w stabilizatorze napięcia, znajdującego się na chipie.

Pomiary wzmacniacza w. cz.

Dla skrajnych słów strojących (6 bitów) uzyskano częstotliwości środkowe 444 i 492 MHz dla cewki zewnętrznej 27 nH, a po wymianie cewek na mniejsze o indukcyjności 22 nH i usunięciu zewnętrznego kondensatora C = 1 pF zakres strojenia przesunął się do 532 ÷ 688 MHz. Szerokość pasma wyniosła 30 ÷ 50 MHz, a więc była znacznie większa od projektowanej (25 MHz przy 600 MHz). Jest to spowodowane rezystancjami połączeń, a w szczególności znacznymi rezystancjami pasożytniczymi przejścia z poziomu tranzystora wzmacniającego na najwyższy poziom metalizacji. Rezystancje te, wnosząc się do obwodu rezonansowego kształtującego charakterystykę, pogarszają jego dobroć, a co za tym idzie zwiększają szerokość pasma. Wynika stąd nieprzydatność takiego rozwiązania do zastosowania na zakresie poniżej 1 ÷ 1,5 GHz (z zewnętrzną cewką o dobroci rzędu 50). W przypadku układów na wyższe częstotliwości z wewnętrznymi cewkami planarnymi o wartości dobroci od kilku do kilkunastu rezystancja tych połączeń wewnętrznych nie ma już takiego znaczenia i tylko nieznacznie zmienia pasmo. Podczas pomiarów stwierdzono dużą nierównomierność strojenia w funkcji wartości słowa strojącego oraz przepływ dodatkowego prądu zasilania (od ok. 0 do ok. 2,05 mA) uzależnionego od jego czterech mniej znaczących bitów. Zmierzona charakterystyka dynamiczna była prawie liniowa do ok. −30 dBm sygnału wejściowego, po czym ulega wyraźnemu zagięciu, co wynika zarówno z właściwości wzmacniacza (praca przy stosunkowo małym prądzie 0,6 mA), jak i z pomocniczego układu wtórnikowego na strukturze, kierującego sygnał do wyjścia pomiarowego, ale bez dopasowania energetycznego. Wejściowy punkt kompresji P−1 dB wynosi ok. −35 dBm (w symulacji przewidywano ok. −32 dBm).

Pomiary źródła napięcia referencyjnego

Wykonano pomiary napięcia referencyjnego w funkcji napięcia zasilania (rys. 6a) oraz w funkcji temperatury w zakresie –55 ÷ – 70°C (rys. 6b) dla trzech badanych układów.



Rys. 6. a) Wyniki pomiaru zależności napięcia referencyjnego U_{ref} od napięcia zasilania dla trzech struktur testowych, b) wpływ temperatury na zmiany napięcia referencyjnego U_z = 2,5 V

Zmierzone napięcie utrzymywało się w dolnej granicy zakresu zmian wynikających z symulacji kornerowych (w zakresie 0 ÷ 70°C), a w jednym przypadku wykraczało poza tę granicę. Prawdopodobną przyczyną są rozrzuty w obrębie par identycznych tranzystorów, wynikające np. z niewielkich względnych zmian wymiarów poszczególnych obszarów (dyfuzji, obszarów bramek itp.). Uniesienie charakterystyki U_{ref} (U_z) w obszarze napięcia zasilania 2,7 ÷ 2,8 V nie znalazło odzwierciedlenia w symulacjach. Mimo to można stwierdzić, że udało się skonstruować źródło referencyjne o własnościach bardzo zbliżonych do założeń.

Pomiary stabilizatorów napięcia

Wykonano pomiary napięcia wyjściowego w funkcji prądu obciążenia i napięcia wejściowego oraz charakterystyki termiczne napięcia wyjściowego dla każdego stabilizatora na trzech układach (w jednym układzie są trzy identyczne stabilizatory). Napięcia wyjściowe stabilizatorów różnią się do ok. ±10 mV w identycznych warunkach pomiarowych. Można to uzasadnić różnicami konfiguracji topografii, a zatem rezystancji doprowadzeń, wynikającymi z konkretnego ustawienia poszczególnych komórek w topografii, oraz różnymi wartościami napięcia niezrównoważenia wzmacniaczy błędu, które przyjmuje zwykle przypadkowe wartości z przedziału –10 ÷ +10 mV. Charakterystyka termiczna napięcia wyjściowego jest głównie uzależniona od zmian termicznych napięcia referencyjnego i napięcia niezrównoważenia. Dla układu #1 zmiany napięcia w zakresie 0 ÷ 70°C są mniejsze niż 5 mV i w zasadzie mieszczą się w przewidywanym zakresie rozrzutu napięcia. Dla dwóch pozostałych badanych układów uzyskano wyniki gorsze. Również charakterystyki U_{reg}(U_z) w zakresie napięć 1,8 ÷ 2,7 V wykazują nieznaczne zmiany rzędu

1 ÷ 2 mV. Poza tym zakresem obserwowane są zmiany rzędu 5 ÷ 10 mV. Zmiany powyżej 2,7 V wynikają ze wzrostu napięcia referencyjnego, zmiany poniżej 1,8 V są uzasadnione konstrukcją wzmacniacza i są widoczne w symulacjach.

Pomiary napięcia w funkcji prądu obciążenia w zakresie 0 ÷ 10 mA wykazują spadki napięcia od 8 do 18 mV. Są to wartości wyraźnie wyższe od typowych prognozowanych w symulacji (ok. 5 mV). Najlepszy wynik zmiany napięcia z prądem ok. –8 mV/10 mA uzyskano dla połączenia do pola montażowego o minimalnej długości. Poprawę parametrów można będzie uzyskać poprzez zwiększenie szerokości kanału tranzystora szeregowego.

Pomiar układu „power-on-reset”

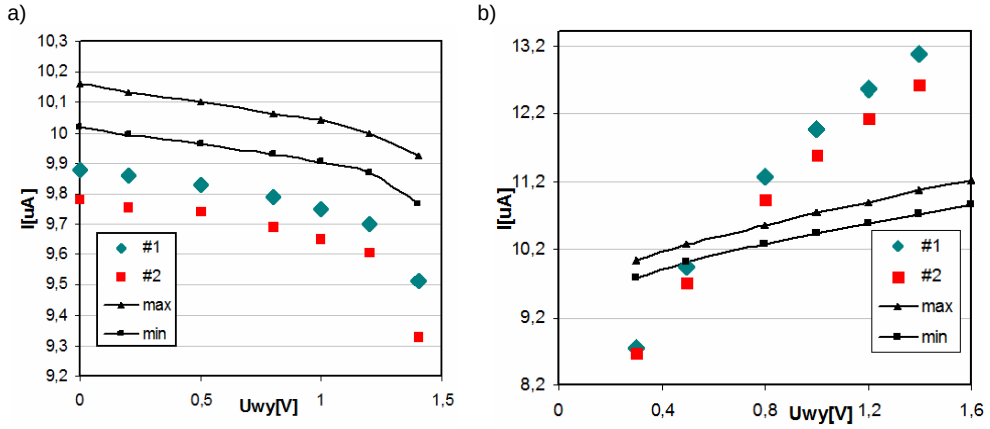
Układ POR blokuje pracę układu, gdy napięcie zasilania spada poniżej dopuszczalnej minimalnej wartości. W tym przypadku był zaprojektowany na wyłączenie poniżej 1,8 V i włączenie powyżej 1,87 V, czyli typowa projektowana wartość histerezy miała wynieść ok. 70 mV przy narastaniu/opadaniu napięcia z szybkością 2,8 V/ms. W analizie kornerowej dla różnych zestawów modeli uzyskano zmienność napięcia włączenia od 1,862 do 1,881 V, a napięcia wyłączenia od 1,786 do 1,798 V. Zmienność wartości histerezy wynosiła od 60 do 90 mV. W pomiarach dla napięcia zasilającego o czasie narastania 1,6 ms i czasie opadania 1,9 ms i uzyskano punkt włączenia ok. 1,76 V i punkt wyłączenia ok. 1,72 V (histereza ok. 40 mV). Pomiar był przeprowadzony na oscyloskopie cyfrowym. Uzyskane wyniki odbiegają od wartości wynikających z symulacji, ale nakładają się tu problemy nieidentycznych warunków symulacji i pomiaru oraz dokładności pomiaru.

Pomiary źródeł prądów referencyjnych

Układy te wytwarzają prądy 10 μA w dwóch kierunkach. Wykonano pomiary obu prądów 10 μA (rys. 7) i uzyskanego przez powielenie prądu 50 μA w funkcji napięcia wyjściowego oraz w funkcji temperatury. Dla prądu wypływającego zmierzone wartości plasują się średnio o ok. 0,25 μA poniżej średniej wartości prognozowanej (typowej) i ok. 0,15 μA poniżej prognozowanej wartości minimalnej. Szybkość zmian prądu z napięciem wyjściowym jest zbliżona do symulowanej. Dla prądu wpływającego 10 μA rozbieżność między charakterystyką symulowaną a zmierzoną jest duża w zakresie szybkości zmian prądu w funkcji napięcia. Można to wytłumaczyć znacznie większą niż opisana modelami zmiennością prądu drenu tranzystora nMOS w funkcji napięcia dren-źródło.

Charakterystyki termiczne prądów referencyjnych są głównie uzależnione od termicznych właściwości napięcia referencyjnego, zewnętrznych rezystorów konwertujących napięcie na prąd i termicznych charakterystyk zwierciadła prądowego (konwersja kierunku prądu). Zmiany termiczne dla prądu wypływającego są rzędu 0,1 μA/70°C, tj. 0,015%/^{o}C, a dla prądu wpływającego rzędu 0,8 μA/70°C, tj. 0,12 %/^{o}C, i są silniejsze niż przewidywane symulacyjnie, jednak nie są to różnice dramatyczne. Może to wynikać z termicznych zmian rezystorów konwertujących

napięcie na prąd, które nie były uwzględnione w symulacji z powodu braku odpowiednich danych.



Rys. 7. Zależność natężenia prądu wypływającego 10 μA od napięcia wyjściowego. Kolorem czarnym oznaczono wyniki symulacji.

Prąd wypływający 50 μA jest uzyskiwany z prądu wpływającego 10 μA. Zmierzona wartość natężenia prądu jest mniejsza o ok. 3 μA od minimalnej wartości przewidywanej w symulacji. Wykazuje ona dobrą stałość w funkcji napięcia wyjściowego, porównywalną z uzyskaną w symulacji. Zmiany termiczne są silniejsze i wynoszą do 4 μA/70°C, tj. 0,13%/°C w porównaniu z symulowanymi na poziomie 0,04%/°C. Wynika to z powtórzenia zmierzonych zmian termicznych prądu wpływającego 10 μA.

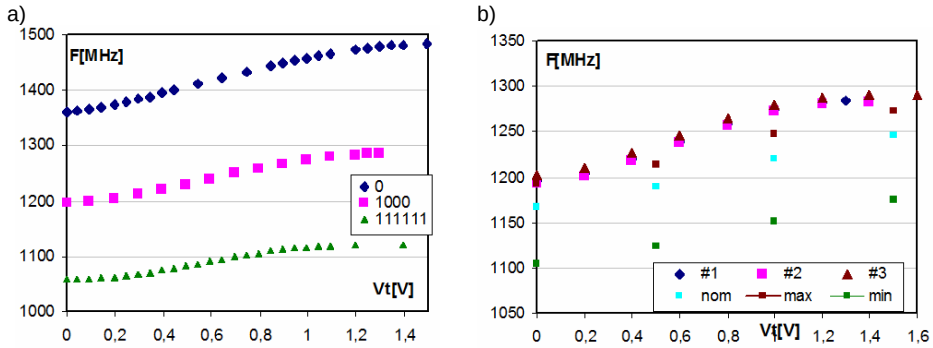
Pomiary bloku częstotliwości pośredniej

W skład bloku częstotliwości pośredniej wchodzi wzmacniacz ograniczający oraz demodulator FM. Charakterystyka częstotliwościowa wzmacniacza jest kształtowana przez dwa zewnętrzne filtry ceramiczne FCM10,7 włączone między stopień wejściowy i wzmacniacz ograniczający, a charakterystyka demodulacji przez zewnętrzny obwód LC.

W czasie pomiarów prąd zasilania z wewnętrznego stabilizatora napięcia 1,6 V wyniósł 1,25 ÷ 1,32 mA. Stwierdzono obecność wzbudzeń, co uniemożliwiło wykonanie pomiarów dla małych sygnałów. Przy silnych sygnałach wejściowych stwierdzono poprawne działanie toru i zdjęto charakterystykę demodulacji. Dla silnego sygnału (–20 dBm) o częstotliwości 10,7 MHz i f_{mod} = 1 kHz oraz dla dewiacji częstotliwości ΔF = 50 kHz na wejściu wzmacniacza uzyskano na wyjściu demodulatora sygnał sinusoidalny 80 mVpp. Modulacja amplitudy do głębokości 60% była niezauważalna na wyjściu. Niski poziom sygnału wyjściowego wynika ze specyfiki układu – niskiego napięcia zasilania i małego prądu zasilania demodulatora.

Pomiary oscylatora VCO

Zmierzone charakterystyki strojenia *VCO* układu #1 dla trzech ustawień bitów strojenia zgrubnego pokazano na rys. 8a. Całkowity zakres strojenia oscylatora wynosi 1080 ÷ 1450 MHz, przy czym strojenie napięciem V_t jest możliwe w zakresie ok. 80 MHz, a zgrubne w zakresie ok. 350 MHz. Wartości te są zgodne z założonymi wymaganiami. Porównanie wyników pomiarów z wynikami symulacji dla jednakowych warunków (napięcie zasilania, ustawienia bitów strojenia częstotliwości) (rys. 8b) wykazuje, że oscylator generuje wyższe częstotliwości niż obliczone dla skrajnych narożników. Można więc sądzić, że parametry modeli nie są wystarczająco dokładnie określone.



Rys. 8. a) Charakterystyki strojenia *VCO*, V_{dd} = 1,6 V, #1, b) charakterystyki strojenia trzech układów na tle wyników symulacji narożnikowej (nom, max, min). V_{dd} = 1,6 V oraz bitów strojenia <100 000> zgrubnego

Sprawdzono także działanie układu strojenia zgrubnego oscylatora. Jest ono całkowicie zgodne z oczekiwaniami, zapewnia przestrajanie wstępne *VCO* w zakresie 300 MHz. Zmierzona charakterystyka częstotliwości w funkcji temperatury w porównaniu z wynikami narożnikowej symulacji przeprowadzanej po wykonaniu topografii (*postlayout simulation*) pokazuje wartości wyższe o ok. 40 ÷ 50 MHz dla parametrów nominalnych i pozostałych narożników.

Wykonane badania parametrów *VCO* potwierdziły, że projekt jest poprawny, ale zgodność z wynikami symulacji okazała się nie najlepsza**.** Rozbieżności między pomiarami generowanej częstotliwości a wynikami symulacji *postlayout* są rzędu 50 MHz. Stanowi to mniej niż 5% wartości tej częstotliwości. Gdy na chipie będzie zaimplementowany mechanizm strojenia częstotliwości, uzyskanie jej wymaganej wartości nie będzie problemem.

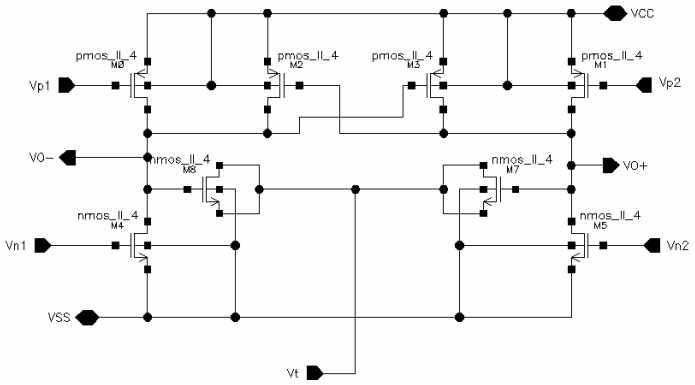
Próbny projekt VCO o konstrukcji pierścieniowej dla częstotliwości 200 MHz

Podstawową zaletą oscylatorów pierścieniowych CMOS jest mała powierzchnia krzemu potrzebna do ich realizacji w porównaniu z oscylatorami typu LC (indukcyjności scalone są ogromne – typowo 250 μm × 250 μm). Ich wady to: niższe częstotliwości generacji możliwe do osiągnięcia w danej technologii, duży pobór mocy oraz większe szumy. Tam, gdzie szumy częstotliwości wyjściowej nie są

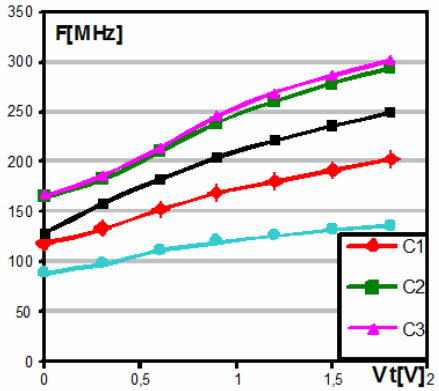
istotne, a potrzebna jest minimalizacja powierzchni, tam wystarczy zastosowanie oscylatora pierścieniowego.

Wykonano dwa wstępne projekty oscylatorów pierścieniowych dla niemieckiej technologii LFoundry w celu zastosowania w dużym układzie scalonym (np. system on chip) wymagającym oscylatora ok. 200 MHz. Oba pozwalają na regulację częstotliwości, która skompensuje jej zmiany spowodowane rozrzutem parametrów technologicznych oraz umożliwi strojenie, np. w pętli PLL. Sposób realizacji strojenia częstotliwości zależy od konkretnego zastosowania.

Pierwszy z nich o poborze prądu ~ 1,5 mA (bez buforów) zbudowany jest z czterech komórek opóźniających – w układzie par różnicowych i strojony pojemnością zbudowaną z tranzystorów NMOS (rys. 9) Pojemności te mogą być rozdzielone na dwie – jedna do strojenia analogowego i druga do strojenia zgrubnego, np. cyfrowego. Wyniki symulacji narożnikowej (zestawy parametrów modeli $C1 \ldots C4$, nominalny) dla schematu (rys. 10) wskazują, że w tej technologii łatwo zapewnić strojenie o 150 ÷ 200 MHz, a zakres potencjalnych rozrzutów prądu zasilania wynosi 1,2 ÷ 1,8 mA.



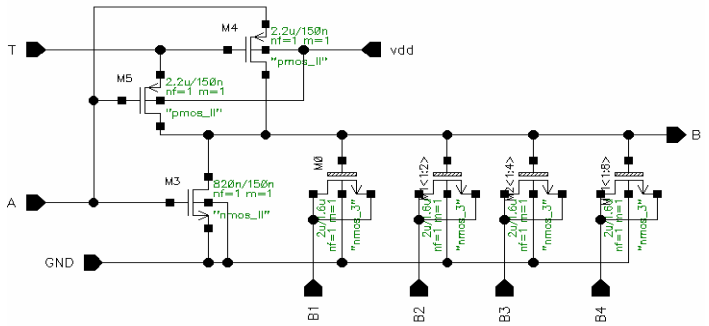
Rys. 9. Schemat komórki opóźniającej w oscylatorze pierścieniowym



Rys. 10. Wyniki analizy narożnikowej *VCO*

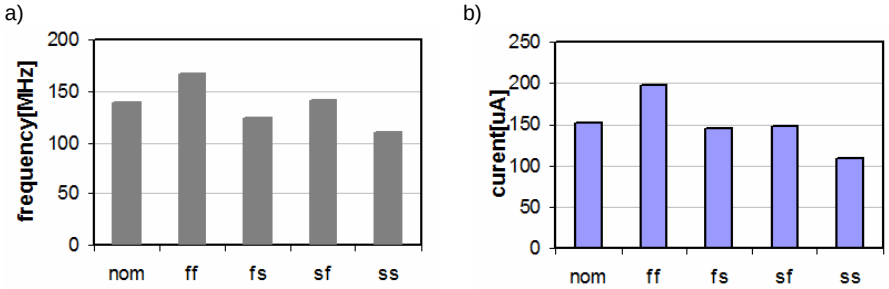
Od lat rośnie zapotrzebowanie na aplikacje o bardzo niskim poborze mocy, m. in. z powodu dynamicznego rozwoju miniaturowych czujników oraz ich odczytu na odległość, a także z powodu rozwoju systemów na chipie o zminimalizowanym poborze prądu. Nowe technologie nanometrowe (submikronowe) z tranzystorami MOS o bardzo wysokiej częstotliwości granicznej umożliwiają poszukiwanie nowych, odpowiednich dla tego typu systemów i układów rozwiązań z zastosowaniem oscylatorów o bardzo niskim zużyciu mocy (*powersaving*) zarówno statycznej, jak i dynamicznej.

Pobór prądu oscylatora zależy od liczby przewodzących tranzystorów w komórce opóźniającej oraz od pojemności, jakie są ładowane/rozładowywane w każdym cyklu. Nowe rozwiązania nie zawierają bezpośredniej ścieżki między zasilaniem i masą, a upływności mają związek głównie z polaryzacją podłoży tranzystorów. Dlatego drugi projekt oscylatora zaprojektowano wykorzystując 3-tranzystorową bramkę typu XOR, która realizuje funkcję inwertera. Jego zaletą jest bardzo niski pobór prądu – znacznie poniżej 1 mA. Podstawowy stopień opóźniający zawiera tylko trzy tranzystory: dwa pMOS i jeden nMOS (rys. 11). Częstotliwość jest regulowana napięciem V_T, które pełni też funkcję zasilania jednego z tranzystorów. Zastosowano tu strojenie 4-bitowe, ale może być wprowadzona także dodatkowa pojemność sterowana analogowo do strojenia dokładnego. *VCO* zawiera pięć stopni opóźniających, co zostało podyktowane wartością założonej częstotliwości – ok. 200 MHz.



Rys. 11. Schemat komórki opóźniającej typu XOR (zakreślono pojemności strojące)

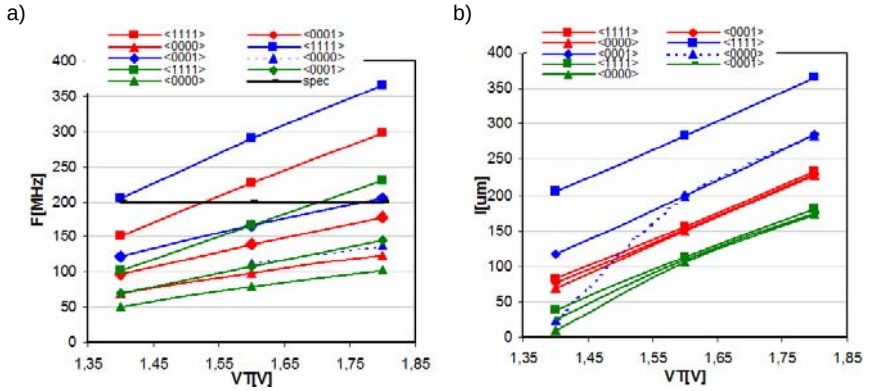
Dla zbyt niskich wartości napięcia V_T drgania nie występują. W obecnym wariancie projektu pojawiają się realnie, tj. dla dość krótkich czasów symulacji (500 ns) od 1,4 V. Wykonane symulacje pokazują, że amplituda drgań nie zależy od parametrów modeli, mają one jednak bardzo duży wpływ na wartość częstotliwości (109 ÷ 166 MHz) oraz pobieranego prądu, mierzonego jako prąd płynący przez węzeł masy (108 ÷ 198 μA) (rys. 12).



Rys. 12. a) Częstotliwość pracy pięciostopniowego oscylatora pierścieniowego dla środkowego ustawienia bitów <1000>, b) prąd pobierany przez pięciostopniowy oscylator pierścieniowy dla środkowego ustawienia bitów <1000>

Na rys. 13 przedstawiono charakterystyki strojenia oraz oddziaływanie na częstotliwość poprzez sterowanie bitami matrycy pojemności zawartej w każdej komórce

opóźniającej. Pełny zakres regulacji częstotliwości tego *VCO* zależy od zestawu parametrów modeli i wynosi 180 ÷ 260 MHz odpowiednio dla ss, nominalnych i ff.



Rys. 13. Częstotliwość (a) i pobór prądu (b) oscylatora pierścieniowego. Kolorem czerwonym oznaczono wyniki uzyskane dla parametrów nominalnych, niebieskim dla parametrów typu ff, zielonym dla parametrów typu ss. Linia przerywana pokazuje przypadek braku drgań generatora w symulacji w czasie do 500 ns.

Wykonane projekty pierścieniowych oscylatorów dla technologii LFoundry są obiecujące w tym sensie, że w przypadku realizacji dużego projektu, wymagającego *VCO* jako bloku funkcjonalnego, można być pewnym poprawnego działania. Konkretne parametry układu mogą być zapewnione przy wbudowaniu mechanizmu regulacji/strojenia.

Podsumowanie

Wykonano układ badawczy w technologii CMOS 150 nm, który posłużył do oceny jakości tej technologii i zgodności przewidywanych parametrów z mierzonymi. Pomiary wykazały nie najlepszą zgodność z wynikami symulacji – wartości zmierzonych parametrów nie mieszczą się w zakładanych granicach min-max, w przypadku wzmacniacza w.cz. stwierdzono zjawiska niemające odzwierciedlenia w żadnej z przeprowadzonych symulacji i trudne do wytłumaczenia. W przypadku wzmacniacza p. cz. zanotowano wzbudzenia, które praktycznie uniemożliwiły pomiary tego bloku i jego ocenę. Modele przyrządów nie pozwalają na uzyskanie bardzo dobrej zgodności parametrów układów analogowych zmierzonych z symulowanymi. Ponadto wykonano próbne projekty VCO 200 MHz o konstrukcji pierścieniowej do zastosowań w systemach o niskim poborze prądu.

2.3. Opracowanie układów elektroniki odczytowej do matrycowych detektorów promieniowania jonizującego

Odpowiedzialny za realizację zadania: mgr inż. Dariusz Obrębski

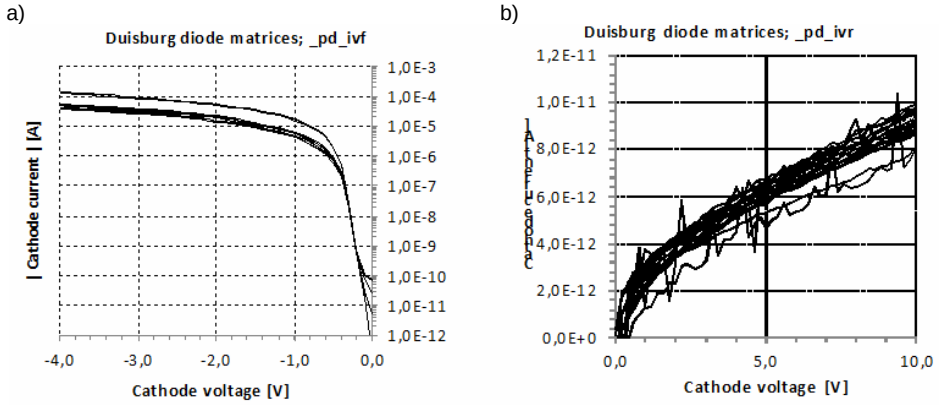
Prace rozpoczęto od pomiarów scalonych struktur próbnych zaprojektowanych w 2010 r. Wprawdzie pomiary potwierdziły przydatność procesu SOI H35 Instytutu Fraunhofera w Duisburgu (IMS) do fabrykacji półprzewodnikowych detektorów

pikselowych, jednak zaprojektowany prosty układ odczytowy nie działał. Przyczyną było prawdopodobnie naruszenie jednej z reguł projektowych. Z uwagi na brak procedur DRC w dostarczonym pakiecie projektowym było to zjawisko niemal niewykrywalne na wcześniejszych etapach procesu projektowania. W wyniku prac prowadzonych w Zakładzie powstał prymitywny PDK, który w 2011 r. rozszerzono o działające procedury DRC. Ponadto uruchomiono *schematicdriver layout*, aby ułatwić tworzenie topografii pełnego toru odczytowego dla pojedynczego piksela. Tor ten został zbudowany w oparciu o wzmacniacz ładunkowy, co pozwoliło na utrzymanie złączy detekcyjnych na prawie stałym potencjale w całym cyklu odczytu. Zaprojektowana nowa struktura próbna oprócz tego toru zawiera także prosty układ odczytowy oraz zbiór przyrządów przeznaczonych do charakteryzacji w ITE.

W 2010 r. do IMS został wysłany do produkcji w unikalnym procesie technologicznym H035 projekt pierwszej struktury próbnej opracowanej w Zakładzie. Struktura zawierała matrycę diod detekcyjnych, a także prosty układ odczytowy. W 2011 r. kontynuowano prace w następującym zakresie:

- pomiary zaprojektowanych struktur;
- uzupełnienie funkcjonalności otrzymanego PDK w celu wykorzystania go do bardziej złożonego projektu;
- zaprojektowanie kompletnego toru odczytowego dla pojedynczego piksela.

Pomiary złączy detekcyjnych w zawartych strukturach próbnych przeprowadzone przez dr. inż. D. Tomaszewskiego wykazały niskie wartości prądu ciemnego na poziomie pA (rys. 14), co potwierdza możliwość ich wykorzystania do założonego celu. Duże napięcie w kierunku przewodzenia, nawet dla niskich wartości prądu, prawdopodobnie świadczy o dużej rezystancji szeregowej tych nietypowych przyrządów, jednakże nie ma ona znaczenia z uwagi na zastosowanie – diody pracują jako detektor przy stałej polaryzacji w kierunku zaporowym. Pomiary drugiego elementu składowego struktury – prostego układu odczytowego – ujawniły, że układ nie działa.



Rys. 14. Zmierzone rodziny charakterystyk diod pochodzących ze struktury próbnej (prawa, dolna struktura, odpowiednio kierunek przewodzenia i zaporowy)

Układ odczytowy składa się z dwóch wtórników, których polaryzacja jest zapewniona przez układy powtarzania prądu, sprzężenie z detektorem odbywa się za pośrednictwem tranzystora pracującego jako pojemność. Między bramką pierwszego tranzystora pracującego jako wtórnik a masą znajduje się tranzystor kasujący (*reset*).

Próbowano określić przyczynę niedziałania układu. Topografia struktury próbnej została zaprojektowana przy wykorzystaniu bardzo prostego pakietu projektowego niemającego żadnych funkcjonalności wspomagania jej tworzenia ani weryfikacji (*DRC*, *LVS*). Po potwierdzeniu negatywnych wyników pomiarów struktura została poddana jeszcze raz „ręcznemu" sprawdzeniu *LVS* oraz weryfikacji *DRC* przy użyciu procedur uruchomionych w międzyczasie. Sprawdzenie *LVS* wykazało poprawność sieci połączeń układu i jeden błąd parametryczny, który mógł zmienić parametry układu, ale nie mógł spowodować jego całkowitej awarii. Analiza *DRC* wykazała dwa przypadki złamania reguły opisującej wymagany odstęp warstwy polikrzemu od obszaru aktywnego tranzystora. Błędy te nie zostały wykryte wcześniej na skutek braku systemu automatycznej weryfikacji i mogą być odpowiedzialne za brak działania układu.

W 2011 r. przystąpiono do prac nad bardziej zaawansowanymi układami elektroniki odczytowej, tak aby w kolejnej serii technologicznej zrealizować kompletny tor odczytowy dla pojedynczego piksela, wykorzystujący wzmacniacz ładunkowy. Postanowiono wzbogacić posiadany PDK o te funkcjonalności, które można dodać nie mając dostępu do pełnej dokumentacji procesu. Prace zaczęto od zmodyfikowania pierwszych procedur *DRC*, dostępnych w wersji przeddystrybucyjnej pakietu, które Zakład otrzymał z IMS w 2010 r., już po wysłaniu projektu do produkcji. Otrzymany kod został w wielu miejscach poprawiony, dopisano też obszerne fragmenty odnoszące się do reguł, które dotychczas nie były sprawdzane. Jako wzorzec przyjęto *Preliminary Design Manual*, jedyną dostępną dokumentację. Niestety, początkowy zamiar uruchomienia weryfikacji *Layout versus Schematic* (*LVS*) nie doszedł do skutku z powodu braku dostępu do wbudowanych procedur obliczeniowych komórek parametrycznych pakietu. Postanowiono natomiast uruchomić funkcjonalność *schematicdrivenlayout*, czyli narzędzie *Virtuoso-XL*. Narzędzie to znacznie ułatwia tworzenie topografii układu, wiążąc topograficzne i schematowe reprezentacje odpowiednich komórek ze sobą, co pozwala na ich łatwą lokalizację. *Virtuoso-XL* oprócz lokalizacji przyrządów umożliwia także lokalizację węzłów połączeń, jednakże ta funkcjonalność wymaga, aby topografie komórek parametrycznych były wyposażone w terminale elektryczne (pin) definiujące obszary, do których można podłączyć się na odpowiedniej ścieżce połączeniowej (z reguły polikrzem i metalizacje). Niestety, komórki parametryczne otrzymane w pakiecie dla technologii H035 nie posiadają terminali i nie można ich też dodać, ponieważ edycja postaci wynikowej komórki parametrycznej powoduje, że przestaje ona podlegać skalowaniu. Do tego celu wymagane są postacie źródłowe topografii komórek, których również nie udało się otrzymać z IMS. Jednakże już samo urucho-

mienie pierwszej z funkcjonalności *Virtuoso-XL* (*Design→Generate from Source*) znacznie ułatwiło proces projektowania topografii. Identyfikacja węzłów działa od pierwszego poziomu hierarchii w górę, ponieważ tam jest już możliwość dodania niezbędnych terminali, co można wykorzystać przy łączeniu w całość składników projektu hierarchicznego.

Równolegle z udoskonalaniem PDK prowadzono prace projektowe nad elektrycznym torem odczytowym, w skład którego wchodzą następujące podzespoły:

- blok polaryzacji detektora diodowego,
- wzmacniacz ładunkowy;
- wzmacniacz kształtujący;
- detektor amplitudy impulsu;
- sygnalizator wystąpienia impulsu;
- pomocnicze bufory wyjściowe.

Detektorem impulsu jest dioda podłożowa stanowiąca 1 piksel, nad nią na warstwie tlenku izolującego ma być umieszczony układ wzmacniacza ładunkowego, którego powierzchnia jest ograniczona powierzchnią zajmowaną przez diodę i w założeniu nie powinna przekraczać rozmiarów 50 μm × 50 μm. Większe rozmiary zwiększają pojemność diody detekcyjnej, zmniejszając jednocześnie sygnał użyteczny na wejściu. Dioda detekcyjna od strony katody będzie spolaryzowana napięciem dodatnim (ok. 50 V), od strony anody napięciem 0 V poprzez rezystor o dużej rezystancji uzyskany z długiego tranzystora NMOS polaryzowanego napięciem zbliżonym do napięcia progowego.

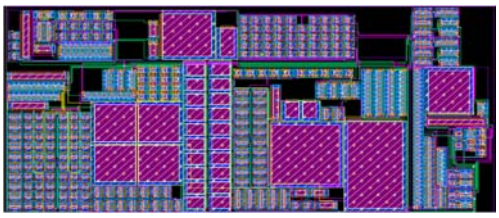
Wzmacniacz ładunkowy ma wytworzyć impuls skoku napięcia na wyjściu o wartości proporcjonalnej do ładunku wygenerowanego w detektorze diodowym. Możliwe są warianty układu o sprzężeniu z detektorem typu DC oraz o sprzężeniu typu AC. W tym wypadku wybrano układ o sprzężeniu AC, który nie musi być wyposażony w kompensację prądu ciemnego diody detekcyjnej, a zatem jest prostszy i będzie zajmował mniejszą powierzchnię. Zaprojektowany został wzmacniacz o konfiguracji różnicowej z napięciowym równoległym sprzężeniem zwrotnym RC. Umożliwia to samorozładowanie i powrót do warunków spoczynkowych po impulsie. Sprzężenie to jednocześnie zapewnia dobrą kontrolę napięć stałych, które są zdeterminowane przez napięcie na wejściu nieodwracającym równe połowie napięcia zasilania. Sprzężenie zwrotne realizują dwa tranzystory – jeden pracujący jako rezystor, drugi jako kondensator. Wtórnik napięciowy obniża impedancję wyjściową wzmacniacza i separuje od wpływu pojemności następnego stopnia. Wzmacniacz zaprojektowano dla zakresu ładunku wejściowego 1000e ÷ 10000e. Przyjęto pojemność diody detekcyjnej wraz z pojemnościami rozproszonymi równą 50 fF. Wzmocnienie ładunku wyniosło ok. 5,6 mV/1000e, wzmocnienie napięciowe ok. 3,5-wyjściowe napięcie szumów w paśmie 100 MHz ok. 1,3 mV RMS, prąd zasilania ok. 16 μA.

Wzmacniacz kształtujący przekształca impuls skoku napięciowego w impuls o postaci $Ate^{-t/\tau}$ poprzez oddolne i odgórne ograniczenie pasma sygnału. Impuls

ten uzyskuje wartość szczytową po czasie $t_p = \tau$ od pobudzenia detektora diodowego. Pozwala to poprawić właściwości szumowe całego układu. W zaprojektowanym układzie wartość τ ostatecznie ustalono na 0,7 μs biorąc pod uwagę wyniki symulacji.

Wzmacniacz ma konfigurację różnicową ze sprzężeniem zwrotnym napięciowym równoległym rezystancyjnym, zrealizowanym za pomocą długiego tranzystora pMOS. Podobnie jak we wzmacniaczu ładunkowym wejście nieodwracające jest spolaryzowane połową napięcia zasilania. Charakterystykę częstotliwościową i parametry impulsu wyjściowego kształtują: pojemność szeregowa na wejściu C_s = = 1,08 pF, pojemność równoległa C_p = 2,5 pF, rezystancja sprzężenia zwrotnego oraz parametry tranzystora wzmacniającego. Na wyjściu znajduje się podwójny wtórnik napięciowy nMOS-pMOS w przybliżeniu zachowujący poziom napięcia stałego. Sprzężenie z detektorem wartości szczytowej jest stałoprądowe. Amplituda impulsu wyjściowego wynosi ok. 48 mV dla ładunku pobudzającego wynoszącego 1000e.

Detektor wartości szczytowej impulsu (konwerter amplitudy na napięcie stałe). Zadaniem układu jest wytworzenie i zapamiętanie napięcia stałego proporcjonalnego do amplitudy impulsu ze wzmacniacza. Układ ma konfigurację wzmacniacza różnicowego z wyjściem prądowym wysterowującym zwierciadło prądowe, z którego wypływa prąd ładujący kondensator o pojemności 3,12 pF. Prąd ładowania tego kondensatora jest proporcjonalny do różnicy napięcia wejściowego i napięcia na kondensatorze powiększonego o napięcie U_{GS} wtórnika separującego kondensator. Ładuje się on do napięcia szczytowego impulsu, natomiast rozładowanie jest możliwe tylko poprzez sterowany zewnętrznie układ resetu. Poprzez bufor napięcie szczytowe jest wyprowadzone na zewnątrz. Poprzez identyczny bufor jest wyprowadzony do celów pomiarowych impuls ze wzmacniacza. Napięcie na bramce tranzystora pMOS ładującego kondensator pamiętający jest wykorzystane do sygnalizacji obecności sygnału ładunkowego na wejściu całego układu.



Rys. 15. Topografia pełnego toru odczytowego

Całkowity prąd zasilania zaprojektowanego układu wyniósł ok. 205 μA przy prądzie polaryzacji równym 10 μA i napięciu zasilania 3 V. Na rys. 15 przedstawiono topografię toru odczytowego zawierającego wszystkie wcześniej omówione składniki, a także bloki pomocnicze. Z uwagi na to, że wariant technologii H035 ze złączami poniżej warstwy tlenku zagrzebanego nie będzie uruchomiany w najbliższym czasie, zdecydowano się wykonać strukturę próbną zawierającą sam tor odczytowy bez detektora. Tak powstały blok został wyposażony w matrycę padów montażowych oraz proste elementy ESD. Z uwagi na konieczność wyprowadzenia dużej liczby sygnałów, związaną z możliwością pomiaru poszczególnych bloków układu, należało zastosować 20-wyprowadzeniową matrycę pól montażowych, która zdeterminowała powierzchnię struktury próbnej.

Korzystając z dużej powierzchni wolnego krzemu postanowiono po konsultacjach z IMS dodać do projektowanej struktury również zestaw tranzystorów MOS obu typów. Umożliwi to przeprowadzenie charakteryzacji tych przyrządów w ITE. Ponadto do struktury dodany został także prosty, wtórnikowy układ odczytowy, o schemacie elektrycznym identycznym z tym wysłanym w 2010 r., ale z wykonaną od nowa topografią. Zwiększono w tym celu dostępną liczbę pól montażowych, dodając równolegle drugą strukturę matrycową 2·10 pól.

Podsumowanie

W czasie projektowania napotkano na duże trudności z powodu:

- bardzo skromnej dokumentacji, w której brak podstawowych parametrów elementów bibliotecznych, a znaczna część danych ma status *to be defined*;
- wysokich napięć progowych tranzystorów (ok. 1 V), co w praktyce przekłada się na realne napięcia U_{GS} wynoszące ok. 1,2 ÷ 1,4 V. Stwarza to duże trudności przy projektowaniu układów analogowych ze względu na niskie napięcie zasilania 3 V;
- niemożności uzyskania liniowej charakterystyki ładunek-napięcie układu na skutek pracy tranzystorów przy małych prądach – na „kolanach" charakterystyk bramkowych.

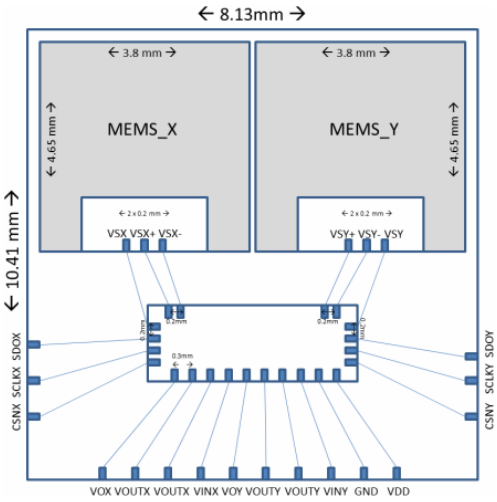
Brak dostępu do wersji źródłowej pakietu projektowego uniemożliwił wzbogacenie go we własnym zakresie w funkcjonalności typowe dla współczesnych PDK, co znacznie poprawiłoby komfort pracy projektanta i zmniejszyło prawdopodobieństwo popełnienia błędu. Jednak już samo uruchomienie wiarygodnego *DRC* i *Virtuoso-XL* znacznie ułatwiło pracę.

3. Działalność w ramach 7. Programu Ramowego Unii Europejskiej

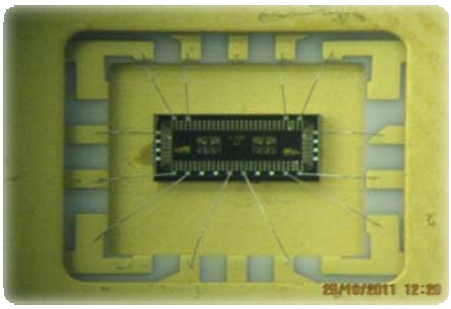
SE2A Nanoelectronics for Safe, Fuel Efficient and Environment Friendly Automotive Solutions
Nanoelektronika dla bezpiecznych, efektywnych pod względem zużycia paliwa i przyjaznych dla środowiska rozwiązań
Kierownik projektu ITE: dr inż. Paweł Janus

Celem projektu jako całości było opracowanie i wykonanie rozwiązań mikro- i nanoelektronicznych dla motoryzacji, które przyczynią się do poprawy bezpieczeństwa, zmniejszenia emisji CO_2 i zwiększenia efektywności stosowanych paliw. Konsorcjum projektu obejmowało 21 instytucji z 7 krajów. Zadaniem ITE było opracowanie i wykonanie systemu czujników służącego do wczesnej detekcji niepoprawnej pracy oraz uszkodzeń w elementach ruchomych w pojeździe (opony, koła, systemy zawieszenia). System miał umożliwić poprawę bezpieczeństwa oraz niezawodności komponentów.

Prace prowadzone Zakładzie obejmowały optymalizację i wytworzenie układu odczytowego dla dedykowanego czujnika przyśpieszenia opracowanego w Zakła-



Rys. 16. Akcelerometr XY jako System In Package (SIP)



Rys. 17. Układ odczytowy w obudowie DIP14

dzie Technologii Mikrosystemów i Nanostruktur Krzemowych, jak również różnorodne badania niezawodnościowe i starzeniowe prowadzone pod nadzorem prof. J. Kołodziejskiego. Opracowywany czujnik wibracji wraz z układem odczytowym był elementem składowym jednego z demonstratorów projektu SE2A. Pierwotny projekt układu elektroniki odczytowej został wykonany w ramach projektu CORONA. Opracowany i wykonany układ zmontowano z modułami MEMS we wspólnej obudowie (rys. 16).

Wcześniej wykonano wstępne pomiary samego układu odczytowego. Celem pomiarów było sprawdzenie podstawowych parametrów i funkcji układu przed zmontowaniem go wraz z czujnikami MEMS w ramach systemu SIP (System In Package). Zmontowano cztery struktury układu w ceramicznych obudowach DIP14 (rys. 17). Zmontowano tylko wyprowadzenia układu związane z torem analogowym obu kanałów odczytowych. Wewnętrzny przetwornik A/C wraz z interfejsem SPI nie został zbadany, gdyż wymaga to specjalizowanej płytki pomiarowej niedostępnej na tym etapie.

Pomiary przeprowadzono przy wykorzystaniu uniwersalnej płytki pomiarowej z podstawką typu DIP, z możliwością montażu zewnętrznych elementów RC, wymaganych w stopniach końcowych torów odczytowych.

- Pomiar prądu zasilania układu dla napięcia zasilania VDD = 3,3 V. Zmierzona wartość prądu IVDD = ok. 4,3 mA. Jest to wartość zgodna z wynikami symulacji.
- Pomiar funkcjonalny generatorów sygnałów sterujących czujniki MEMS. Stwierdzono prawidłowe funkcjonowanie generatorów dla obu kanałów odczytowych, sygnały fali prostokątnej o częstotliwości ok. 200 kHz i współczynniku wypełnienia 0,5. Sygnały VSX+ i VSX̃ (i odpowiednio VSY+ i VSỸ) są w przeciwfazie.
- Pomiar funkcjonalny analogowych torów odczytowych w trybie testowym. Sygnały sterujące VS+ i VS̃ podawane są kolejno na wejście toru odczytowego VS. Wyjście analogowe VOUT powinno przełączać się odpowiednio do wartości VSS i VDD. Przy nie podłączonym wejściu VS poziom DC na wyjściu VOUT

powinien wynosić VDD/2. Stwierdzono prawidłowe funkcjonowanie układu w trybie testowym.

PARSIMO Partitioning and Modeling of System in Package (SiP)
Partycjonowanie i modelowanie układów typu System in Package (SiP)
Kierownik projektu: dr inż. Grzegorz Janczyk

Celem projektu jest doskonalenie, optymalizacja i standaryzacja metod projektowania układów typu SiP (*System in Package*). Uproszczenie i skrócenie czasu procesu projektowania i wytwarzania układów SiP jest niezbędne dla zachowania ekonomicznej opłacalności stosowania tego typu systemów, jak również zwiększenia ich niezawodności.

Rys. 18. Schemat budowy demonstratora SIESTA

W ramach projektu PARSIMO przewidziane jest opracowanie komputerowych narzędzi CAD wspomagających proces optymalizacji partycjonowania SiP oraz wytworzenie łącznie ośmiu demonstratorów przeznaczonych do praktycznej weryfikacji rzeczywistych osiągnięć projektu. ITE jest odpowiedzialne za wytworzenie jednego demonstratora SIESTA (rys. 18) (*System of Inteligent Sensors for Experimental Avionic Applications*).

PAR4CR Partnership for Elaboration of Cognitive Radio
Partnerstwo dla opracowania radia kognitywnego
Kierownik projektu: dr inż. Jerzy Szynka

Jest to projekt typu Marie Curie z kategorii *Industry-Academia Partnerships and Pathway*. Jego celem jest rozwój nowej architektury dla radia definiowanego programowo (*Software Defined Radio* – SDR) i opracowanie radia rozpoznającego (*Cognitive Radio* – CR). Przewiduje się:

- zredukowanie kosztów radia SDR poniżej poziomu kosztów transceiverów *multimode* oraz *multiband*;
- poprawienie wydajności SDR do poziomu porównywalnego z transceiverami *singlemode*;
- wyznaczenie jasnej drogi przejścia (mapy drogowej) od SDR do CR.

W projekcie uczestniczy zespół złożony z siedmiu instytucji naukowych i powiązanych z przemysłem realizujących wspólny program badawczy. ITE jest organizatorem sesji specjalnej „Technologies towards Cognitive Transceivers – PAR4CR Project" w ramach konferencji MIXDES (19th International Conference Mixed Design of Integrated Circuits and Systems), która jednocześnie będzie warsztatem

dla zainteresowanych problematyką CR. Konferencja ta odbędzie się 24 maja 2012 r. w Warszawie.

SMAC SMArt Systems Co-Design
Zaawansowane techniki projektowania systemów inteligentnych
Kierownik projektu: dr inż. Grzegorz Janczyk

Systemy inteligentne (*Smart Systems* – SI) obejmują zminiaturyzowane energooszczędne układy o rozbudowanej funkcjonalności, nierzadko energetycznie autonomiczne, służące do detekcji rozmaitych wielkości fizycznych, przetwarzania i transmisji danych, wyposażone w mikromechaniczne elementy wykonawcze MEMS. W celu zapewnienia opisanych funkcjonalności SI integrują w jeden układ złożone heterogeniczne komponenty i podsystemy, takie jak mikrosiłowniki, mikrodźwignie, dedykowane detektory wielkości fizycznych, moduły zarządzania energią, moduły zasilające, układy przetwarzania danych i łączności bezprzewodowej. Niezbędne staje się uwzględnienie na etapie projektowania nieustannie rosnącej liczby wzajemnie na siebie wpływających czynników. Do projektowania tego typu systemów są dziś wykorzystywane narzędzia CAD i metody opracowane przed laty z myślą o standardowych, monolitycznych, jednowymiarowych strukturach scalonych. Do usprawnienia i przyspieszenia procesu projektowania niezbędne jest stworzenie spójnej i elastycznej platformy projektowej obejmującej zarówno narzędzia, jak i metody projektowania wyspecjalizowanych podsystemów oraz komponentów heterogenicznych układów i systemów inteligentnych (SI). Jest to główne założenie projektu. Platforma projektowa zintegruje kilka dostępnych dziś symulatorów w sposób umożliwiający przeprowadzanie współbieżnych symulacji wielodomenowych (*cosimulation*) heterogenicznych komponentów systemu (elementy mikromechaniczne, elektroniczne, RF itd.). Niezbędne będzie dobudowanie brakujących modułów i uzupełnienie pożądanych funkcjonalności oprogramowania.

Przedmiotem prac prowadzonych w ITE jest ustalenie zakresu i podział prac nad demonstratorem projektu (układ mikrofonów MEMS) oraz rozwój oprogramowania wchodzącego w skład platformy projektowej SMAC.

e-BRAINS Best-Reliable Ambient Intelligent Nano Sensor Systems
Inteligentne systemy nanoczujnikowe zoptymalizowane pod kątem niezawodności
Kierownik projektu: dr inż. Tomasz Bieniek

Głównym celem projektu jest zwiększenie wydajności i niezawodności technologii integracji układów heterogenicznych, ze szczególnym uwzględnieniem technologii trójwymiarowej integracji oraz wytwarzania warstw zawierających nanoczujniki. ITE prowadzi prace związane z hierarchicznym modelowaniem mikro- i nanosystemów. Prowadzone są również badania niezawodności i wytrzymałości materiałów z uwzględnieniem nanorurek i nanodrutów krzemowych. Partnerzy projektu mają możliwość wykorzystania swoich doświadczeń do opracowania no-

wych metod badania i poprawy niezawodności w odniesieniu do technologii heterogenicznych.

CORONA Customer-Oriented Product Engineering of Micro and Nano Devices
Zorientowana na klienta inżynieria produkcji mikro- i nanoprzyrządów
Kierownik projektu: dr inż. Tomasz Bieniek

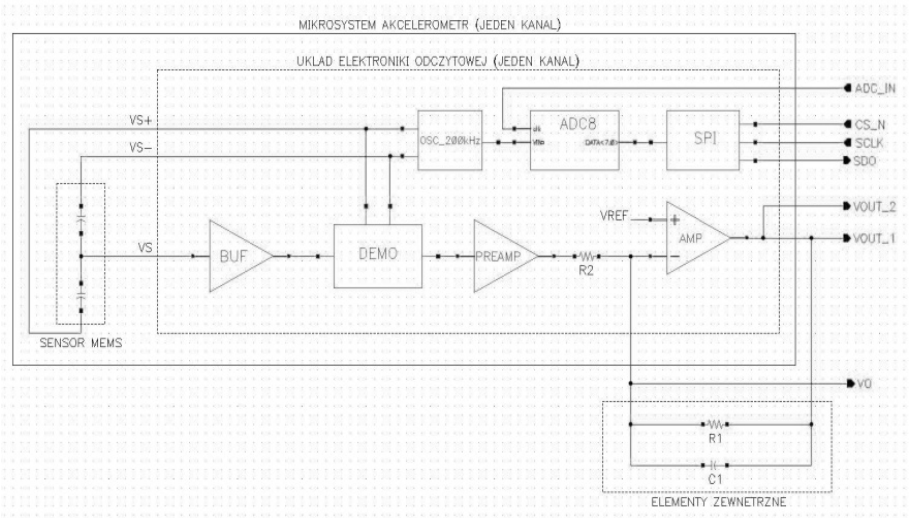
Głównym celem projektu było opracowanie metodologii oraz narzędzi komputerowych służących do wspomagania inżynierii produktu w dziedzinie mikro- i nanotechnologii ze szczególnym uwzględnieniem roli klienta podczas całego procesu inżynierii produkcji. W ramach projektu opracowano i wyprodukowano czujniki MEMS, elektronikę odczytową oraz przeprowadzono integrację w jeden system dla klienta z przemysłu samochodowego. Komponenty zaprojektowano w ITE, a wyprodukowano korzystając z potencjału fabryk mikroelektronicznych na świecie, np. X-FAB, AMS (tzw. *multi-site product developement*). Opracowano i przetestowano narzędzia komputerowe wspomagające proces produkcji – Coventor MEMS+, CoventorWare, Coventor SEMulator3D czy XperiDesk. Projekt zakończył się w 2011 r.

W Zakładzie były prowadzone prace projektowe nad układem elektroniki odczytowej dla czujnika przyspieszenia. Stanowiły one praktyczną weryfikację poprawności opracowanej metodologii. Układ elektroniki odczytowej spełniał następujące wymagania:

- zakres mierzonych przyspieszeń: +/–2 G (kanał X) i +/–20 G (kanał Y);
- czułość pomiaru przyspieszenia: 500 mV/g (kanał X) i 50 mV/g (kanał Y);
- pasmo 3 dB sygnału przyspieszenia :< 1 kHz (regulowane za pomocą zewnętrznych elementów RC);
- napięcie zasilania V_{DD}: 3 ÷ 3,6 V;
- maksymalny pobór prądu I_{VDD}: 5 mA;
- metoda pomiaru zmian pojemności czujnika MEMS: ciągły pomiar napięcia (pojemnościowy dzielnik napięciowy) z wykorzystaniem synchronicznej demodulacji AM ($f \sim 200$ kHz);
- praca w układzie bez elektrostatycznej kompensacji wychylenia masy pomiarowej (struktura *open-loop*);
- wyjścia analogowe: zakres napięcia wyjściowego +/–1 V (względem $V_{DD}/2$), zewnętrzna regulacja pasma, wzmocnienia układu i offsetu czujnika MEMS (elementy RC);
- wyjścia cyfrowe: 8-bitowy przetwornik A/C z interfejsem SPI.

Schemat blokowy zrealizowanego układu odczytowego (jeden kanał) wraz z czujnikiem wibracji MEMS (model pojemnościowy) pokazano na rys. 19.

Zewnętrzny czujnik wibracji MEMS pracuje jako dzielnik pojemnościowy, którego dolna i górna pojemność zmieniają się w przeciwfazie w zależności od kierunku i wartości przyłożonego przyspieszenia. Czujnik pobudzany jest dwoma



Rys. 19. Schemat blokowy układu odczytowego czujników wibracji MEMS

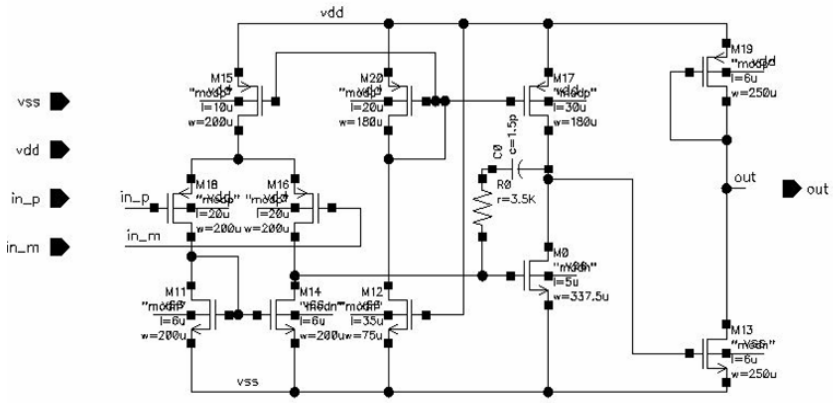
sygnałami fali prostokątnej o częstotliwości 200 kHz, przesuniętymi w fazie o 180°. Proporcjonalny do przyspieszenia sygnał wyjściowy czujnika jest wykrywany przy wykorzystaniu synchronicznej demodulacji amplitudy (blok DEMO), a następnie wzmacniany i filtrowany. Dodatkowo w każdym kanale odczytowym znajduje się 8-bitowy przetwornik A/C wraz z interfejsem SPI ułatwiającym komunikację z zewnętrznym mikrokontrolerem. Pozwala to na odczyt sygnału wyjściowego akcelerometru w postaci cyfrowej.

4. Współpraca naukowa poza programami Unii Europejskiej

4.1. Zaprojektowanie i wykonanie detektora promieniowania sub-THz działającego w oparciu o krzemowy tranzystor MOS

Przedmiotem prac był projekt układu wzmacniacza dla detektora promieniowania na poziomie schematu elektrycznego (analiza potencjalnych rozwiązań układowych) oraz projekt topografii. Wybrano proces technologiczny C3P1M2 o wymiarze charakterystycznym 3 μm. Projektowany układ musi mieć wysoką impedancję wejściową, małe napięcie niezrównoważenia (niski offset) oraz niskie szumy. Po analizie potencjalnych rozwiązań zdecydowano się na układ wzmacniacza z przetwarzaniem (*chopper amplifier*). Zaprojektowano prosty wzmacniacz operacyjny (rys. 20) składający się z 11 tranzystorów oraz obwodu kompensacji (rezystor i kondensator). Systematyczne napięcie niezrównoważenia jest bardzo małe (rzędu kilkunastu nV), impedancja wejściowa bardzo duża (dla małych częstotliwości jest rzędu GΩ), a wyjściowa wynosi ok. 400 Ω.

Pole wzmocnienia wynosi ok. 11 MHz, a wzmocnienie w otwartej pętli sprzężenia zwrotnego ok. 127 dB (~$2{,}4\cdot10^6$ V/V). Margines fazy wynosi 51°, a wzmoc-

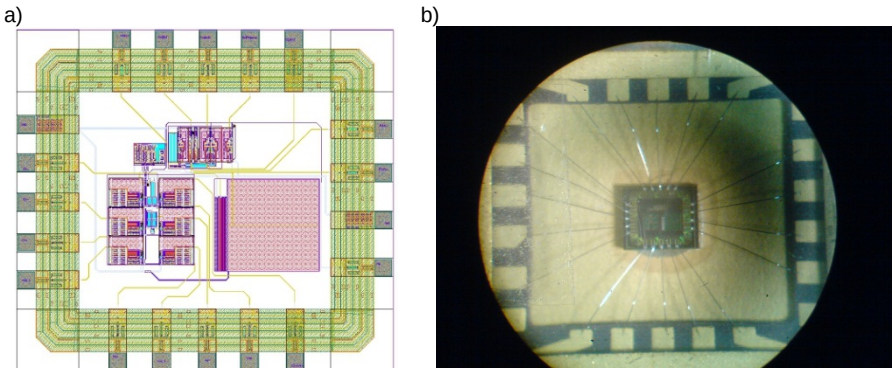


Rys. 20. Projekt wzmacniacza operacyjnego z przetwarzaniem

nienia 11,4 dB. Wykorzystując tak zaprojektowany wzmacniacz operacyjny przystąpiono do projektu wzmacniacza z przetwarzaniem. Kolejnym etapem projektu będzie wybór konkretnej architektury demodulatora, a co za tym idzie całego wzmacniacza z przetwarzaniem. Następnie wykonana zostanie topografia układu, symulacja układu wyekstrahowanego, analiza rozrzutów itd.

4.2. Opracowanie układu elektronicznego do elektromodulacji nerwu błędnego ze sprzężeniem zwrotnym i jego zastosowanie do badań nad otyłością i nadciśnieniem tętniczym u zwierząt doświadczalnych

W ramach prac zaprojektowano dla technologii AMS0,35 μm i w tej technologii wykonano prototyp układu elektronicznego przeznaczonego do elektromodulacji nerwu błędnego (rys. 21). Układ zawiera wbudowaną pętlę sprzężenia zwrotnego.



Rys. 21. Projekt topografii układu elektronicznego do elektromodulacji nerwu błędnego (a) i mikroskopowe zdjęcie gotowej struktury prototypowej (b)

Zagadnienie aplikacji przedmiotowego układu jest niezwykle istotne z uwagi na narastający społecznie problem otyłości. Podczas gdy znane dziś metody walki z otyłością nie dają zadowalających rezultatów, obiecująca wydaje się metoda neu-

romodulacji polegająca na kontrolowanym wprowadzeniu impulsów elektrycznych do autonomicznego układu nerwowego pacjenta.

5. Prototypy, modele, wdrożenia, licencje

- Wąsowski J., Janczyk G., Jarosz A.: Prototyp scalonego układu badawczego ReadOutADC
- Jarosz A.: MODEL: Projekt układu scalonego NID_02 do pomiaru aktywności elektrycznej nerwu błędnego
- Zaraska K., Bieńkowski A., Gaudyn J., Jarosz A., Piekarski J.: Laboratoryjny model adaptywnego neurostymulatora wszczepialnego
- Zaraska K., Bieńkowski A., Gaudyn J., Jarosz A., Piekarski J.: Neurostymulator wszczepialny adaptywny wykonany w technice LTCC
- Wąsowski J., Obrębski D.: Model scalonego cyfrowego układu badawczego idea_ST
- Szymański A., Obrębski D.: MODEL: Scalona struktura próbna kompletnego toru odczytowego do półprzewodnikowego detektora promieniowania jonizującego dla pojedynczej komórki detektora (jednego piksela)

Publikacje 2011

[P1] BIENIEK T., JANCZYK G., GRABIEC P., SZYNKA J., KALICIŃSKI S., JANUS P.: Methodology and Tools for Customer-Oriented Micro and Nanodevices Efficient Product Development. Proc. of the 2nd Int. Conf. Engineering and Meta-Engineering. Orlando, USA, 27–30.03.2011, p. 56–61.

[P2] JAROSZ A., WĄSOWSKI J., ZARASKA K.: CMOS Circuit for Detection of Neural Impulses. Proc. of the 18th Int. Conf. Mixed Design of Integrated Circuits and Systems. Gliwice, 16–18.06.2011, 2011, s. 44–47.

[P3] KOŁODZIEJSKI J. F., SZCZĘSNY J., GUZDEK P.: Elektronika w pojazdach samochodowych – charakterystyczne narażenia eksploatacyjne. *Elektronika* 2011 vol. LII nr 4 s. 131.

[P4] KOŁODZIEJSKI J. F., SZCZĘSNY J., GUZDEK P.: Elektronika w pojazdach samochodowych – magistrale komunikacyjne, podzespoły półprzewodnikowe. *Elektronika* 2011 vol. LII nr 5 s. 151–157.

[P5] KOŁODZIEJSKI J. F., SZCZĘSNY J., GUZDEK P.: Elektronika w pojazdach samochodowych. Jak uzyskać dużą niezawodność. *Elektronika* 2011 vol. LII nr 6 s. 146–153.

[P6] KUCHARSKI K., RENAUX C., CRAHAY A., GRABIEC P., GRODNER M., BIENIEK T., PANAS A., SIERAKOWSKI A., KŁOS H., TOMASZEWSKI D., OBRĘBSKI D., MARCZEWSKI J., FLANDRE D.: Implementacja technologii FD SOI CMOS w ITE. *Elektronika* 2011 vol. LII nr 3 s. 13–16.

[P7] ŁUSAKOWSKI J., BIAŁEK M., MARCZEWSKI J., KOPYT P., GWAREK W., KNAP W., KUCHARSKI K., GRODNER M., GÓRSKA M., GRABIEC P.: Planar Antennas for Detection of 340 GHz Band with Single Si Metal-Oxide-Semiconductor Field-Effect Transistors. Proc. of the 36th Int. Conf. on Infrared, Millimeter and Terahertz Waves, Houston, USA, 2–7.10.2011, s. 1–2.

[P8] ŁYSKO J., DUMANIA P., JANUS P., GRODNER M., KŁOS H., SKWARA K., GRABIEC P.: Nanosensitive Silicon Microprobes for Mechanical Detection and Measurements. *Mat. Sci. a. Appl*. 2011 vol. 2 s. 582–591.

[P9] OBRĘBSKI D., KUCHARSKI K., TOMASZEWSKI D., KŁOS H.: The MPW Service Development. *Elektronika* 2011 vol. LII nr 3 s. 16–21.

[P10] SUAREZ PENALOZA M.: Radio Frequency Filtering in the Context of Cognitive Radio Transceivers. Foreseen Technologies towards Cognitive Tranceivers: Critical Blocks, Hardware, Design and Algorithms. Manchester, Wielka Brytania, 9.10.2011, s. 1–8.

[P11] ZLYDAREVA O., MESTROM R., SUAREZ PENALOZA M., RIVIERE F.: PAR4CR: The Development of a New SDR-Based Platform Towards Cognitive Ratio. Proc. of the Wireless Innovation Forum Europ. Conf. on Communications Technologies and Software Defined Ratio. Bruksela, Belgia, 22–24.06.2011, s. 108–117.

[P12] ZLYDAREVA O., SUAREZ PENALOZA M.: Mobile WiMAX Performance Analysis Including polas SD Architecture under Varoius Environmental Conditions. Proc. of the IEEE Radio Wireless Symp. Santa Clara, USA, 2.01.2012 (złoż. do red.).

Prezentacje konferencyjne 2011

[K1] BIENIEK T., JANCZYK G.: WP 1.3x – Simulation, Design and Test, WP 1.4.x – Characterization of the Test Structures with Nano Components. e-Brains Progress Meet. Cork, Irlandia, 5.04.2011 (kom.).

[K2] BIENIEK T., JANCZYK G.: Typical Sensor Application Scenario. Corona Workshop podczas 8th MST-Regional Conf. Dortmund, Niemcy, 25.05.2011 (ref. zapr.).

[K3] BIENIEK T., JANCZYK G.: WP 1.3.x – Hierarchical System Modeling and Model Validation, WP 1.4.x – Characterization of the Test Structures with Nano Components. e-Brains Progress Meet. Leuven, Belgia, 5.07.2011 (kom.).

[K4] BIENIEK T., JANCZYK G.: WP 1.3.3 – Hierarchical System Modeling and Model Validation. e-Brains Progress Meet. Graz, Austria, 20.09.2011 (kom.).

[K5] BIENIEK T., JANCZYK G., GRABIEC P., SZYNKA J.: CORONA Customer-Oriented Product Engineering of Micro and Nano Devices. Opportunities for Bilateral Cooperation in the Area of Science and Research between Poland and North Rhine-Westphalia. Kolonia, Niemcy, 8.06.2011 (ref. zapr.).

[K6] BIENIEK T., JANCZYK G., GRABIEC P., SZYNKA J., KALICIŃSKI S., JANUS P.: Methodology and Tools for Customer-Oriented Micro and Nanodevices Efficient Product Development. The 2nd Int. Conf. on Eng. a. Meta-Eng. Orlando, USA, 27–30.03.2011 (ref.).

[K7] BIENIEK T., JANCZYK G., KALICIŃSKI S.: Customer-Oriented Product Engineering of Micro and Nano Devices – Validation and Demonstration. Corona Progress Meet. at Corallia – the Hellenic Technology Clusters Initiative. Ateny, Grecja, 4–5.11.2011 (kom.).

[K8] BIENIEK T., JANCZYK G., KALICIŃSKI S., JANUS P.: Institute of Electron Technology, Warsaw, Poland for e-BRAINS Project. Task 1.3.1 – Typical Sensor Design Flow. e-Brains Progress Meet. Graz, Austria, 20.09.2011 (kom.).

[K9] JANCZYK G., BIENIEK T.: ITE for PARSIMO Project. PARSIMO Project Kick-Off Meet. Sheffield, Wielka Brytania, 7.04.2011 (kom.).

[K10] JANCZYK G., BIENIEK T.: Customer-Oriented Product Engineering of Micro and Nano Devices – Validation. Final Review Corona Project Meet. Siegen, Niemcy, 21–22.06.2011 (ref.).

[K11] JANCZYK G., BIENIEK T.: SIESTA Demonstrator Development, Optimization Software Interaction. 2nd Technical Project Meet. Le Mensil Amelot, Francja, 18.10.2011 (kom.).

[K12] JANCZYK G., BIENIEK T.: Instytut Technologii Elektronowej for FoF.NMP.2012-6 Project & Typical Sensor Application Scenario. Smart Production Process Planning Platform. Dortmund, Niemcy, 19.10.2011 (kom.).

[K13] JANCZYK G., BIENIEK T., KALICIŃSKI S.: Parsimo Software/Hardware Development (D)efficiencies. 3rd Technical Project Meet. Le Mensil Amelot, Francja, 7.11.2011 (kom.).

[K14] JANCZYK G., MAŁECKI K.: ITE & WRUT for PARSIMO Project Homogenity. PARSIMO Project Meet. Paryż, Francja, 27.01.2011 (ref.).

[K15] SZYNKA J., JANCZYK G., BIENIEK T.: Opportunities for Bilateral Cooperation in the Area of Science and Research between Poland and North Rhine-Westphalia. Opportunities for Bilateral Cooperation in the Area of Science and Research between Poland and North Rhine-Westphalia. Kolonia, Niemcy, 8.06.2011 (ref. zapr.).

[K16] SUAREZ PENALOZA M.: Radio Frequency Filtering in the Context of Cognitive Radio Transceivers. The 41st Europ. Microwave Conf. Manchester, Wielka Brytania, 9.10.2011 (ref.).

[K17] ZLYDAREVA O., MESTROM R., SUAREZ PENALOZA M., RIVIERE F.: PAR4CR: The Development of a New SDR-Based Platform Towards Cognitive Ratio. Wireless Innovation Forum Europ. Conf. on Communications Technologies and Software Defined Ratio. Bruksela, Belgia, 22–24.06.2011 (ref.).