ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Grzegorz JANCZYK, e-mail: janczyk@ite.waw.pl, tel. (22) 548 78 50

Zespół: mgr inż. Wojciech Dutkiewicz, mgr inż. Mirosław Grodner,
mgr inż. Adam Jarosz, inż. Cezary Kołaciński,
mgr inż. Ewa Kurjata-Pfitzner, mgr inż. Dariusz Obrębski,
dr inż. Martha Suarez, mgr inż. Andrzej Szymański, dr inż. Jerzy Szynka,
mgr inż. Jerzy Wąsowski, mgr Joanna Wójcik, inż. Michał Zbieć

1. Działalność badawczo-rozwojowa w 2012 r.

W 2012 r. Zakład realizował następujące projekty:

- „Projektowanie systemów mikro- i nanoelektronicznych w zaawansowanych technologiach CMOS". Etap III (projekt statutowy nr 1.09.061);
- „Partitioning and Modeling of System in Package (SiP) PARSIMO – „Partycjonowanie i modelowanie układów typu System in Package (SiP)" (projekt UE w ramach 7. PR, nr kontraktu ENIAC-2010-1/4/2010);
- „Partnership for the Development of Cognitive Radio" PAR4CR – „Partnerstwo dla opracowania radia kognitywnego" (projekt UE w ramach 7. PR, nr kontraktu 230688);
- „SMart System Co-Design SMAC – „Zaawansowane techniki projektowania systemów inteligentnych" (projekt UE w ramach 7. PR, nr kontraktu 288827);
- „Best-Reliable Ambient Intelligent Nano Sensor Systems" e-BRAINS – „Inteligentne systemy nanoczujnikowe zoptymalizowane pod kątem niezawodności" (projekt UE w ramach 7. PR, nr kontraktu 257488);
- „Wielopikselowy detektor promieniowania THz zrealizowany z wykorzystaniem selektywnych tranzystorów MOS i jego zastosowanie w biologii, medycynie i systemach bezpieczeństwa (THzOnLine)" (projekt badawczy NCBR);
- „Mikroukładowa technologia pomiaru parametrów psychofizycznych w warunkach dynamicznych" BIOSIP (projekt badawczy NCBR).

2. Działalność statutowa
Projektowanie systemów mikro- i nanoelektronicznych w zaawansowanych technologiach CMOS. Etap III

2.1. Proces projektowania układów mieszanych w zaawansowanych technologiach CMOS

Zadanie było kontynuacją prac prowadzonych w Zakładzie w latach 2010-2011, mających na celu opracowanie i praktyczną weryfikację procesu projektowania

złożonych układów mieszanych (analogowo-cyfrowych) w zaawansowanych technologiach CMOS, w oparciu o dostępne w ITE narzędzia projektowania CAD. Na poprzednich etapach opracowano procesy projektowania (*Design Flow*) układów cyfrowych oraz analogowych na bazie dostępnych w ITE pakietów projektowych. W 2012 r. zaprojektowano oraz wykonano w technologii *LFoundry* 150 nm strukturę badawczą SBL-01 zawierającą wybrane bloki analogowe, w tym moduły radiowe RF na pasmo 550 ÷ 650 MHz oraz układy zasilania. Ponadto wykonano projekt złożonego testowego układu cyfrowego (procesor kryptograficzny IDEA z układem *self-test*) przeznaczonego do implementacji w tej samej technologii.

Celem zadania było opracowanie złożonej analogowo-cyfrowej struktury badawczej zawierającej testowy układ cyfrowy oraz powiązane z nim funkcjonalnie wybrane bloki analogowe. Wykorzystano doświadczenia zdobyte na poprzednich etapach projektu w zakresie oddzielnego projektowania modułów analogowych i cyfrowych. Nowym elementem było zastosowanie symulacji mieszanej (*mixed-signal simulation*), umożliwiającej efektywną weryfikację projektu zawierającego bloki analogowe (na poziomie tranzystorów) oraz bloki cyfrowe.

Projekt układów zasilania

Wykonano pomiary struktury badawczej SBL-01, w szczególności zaprojektowanego dla niej bloku zasilania składającego się z następujących układów:

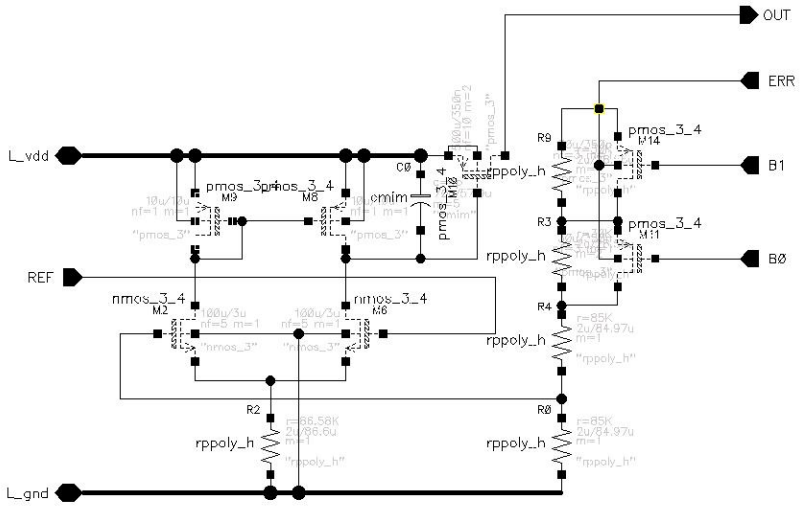
- źródła napięcia referencyjnego;
- układu „power-on-reset”;
- stabilizatora napięcia;
- generatora prądów referencyjnych;
- generatorów prądów polaryzujących.

Stwierdzono, że źródło napięcia referencyjnego ma wystarczająco dobre parametry, ale parametry pozostałych układów odbiegają od symulowanych wartości. Dlatego wykonano nowe projekty tych układów, uwzględniające wnioski z pomiarów i doświadczenia zdobyte podczas projektowania układu SBL-01.

Programowany stabilizator napięcia 1,7 ÷ 2,15 V

Stabilizator szeregowy z tranzystorem szeregowym pMOS o wymiarach bramki $w = 1000$ μm, $l = 0{,}35$ μm umożliwia uzyskanie niewielkiego minimalnego spadku napięcia między napięciem zasilającym stabilizowanym, na poziomie 0,1 ÷ 0,15 V. W torze wzmacniacza błędu wprowadzony został programowany dwubitowo dzielnik napięciowy (rezystory 85 kΩ + 85 kΩ + 15 kΩ (bit B1) + 30 kΩ (bit B2)), co dla napięcia referencyjnego 0,85 V daje możliwość uzyskania czterech stabilizowanych napięć zasilających: 1,7 V, 1,85 V, 2 V i 2,15 V dla napięć wejściowych nieprzekraczających 3 V. Symulowane typowe napięcia wyjściowe (z uwzględnieniem wpływu napięcia referencyjnego) są wyszczególnione w tab. 1. Schemat stabilizatora przedstawiono na rys. 1.

Tabela 1. Symulacja napięć wyjściowych stabilizatora (modele typowe)					
B1	B0	Napięcie wyjściowe dla I_L = 100 μA	Napięcie wyjściowe dla I_L = 10mA		
		T = 27°C	T = –25°C	T = 27°C	T = –25°C
0	0	1,707 V	1,700 V	1,707 V	1,700 V
0	1	1,855 V	1,850 V	1,855 V	1,850 V
1	0	2,006 V	2,000 V	2,006 V	2,000 V
1	1	2,154 V	2,145 V	2,154 V	2,145 V



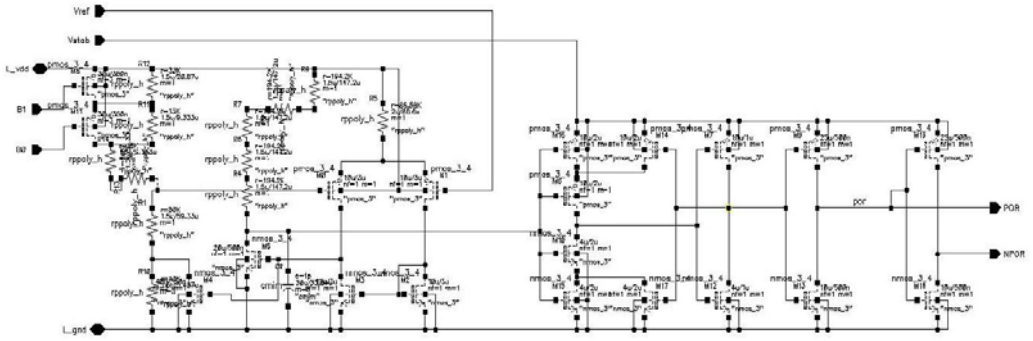
Rys. 1. Schemat programowanego stabilizatora napięcia

Programowany układ „power-on-reset”

Działanie układu jest oparte na porównaniu napięcia referencyjnego 0,85 V z podzielonym na programowanym dzielniku napięciem zasilającym. Programowanie polega na zmianie stopnia podziału dzielnika poprzez zwieranie dwóch rezystorów za pomocą kluczy tranzystorowych sterowanych dwoma bitami. Przy wzroście napięcia, po przekroczeniu napięcia referencyjnego, wzmacniacz różnicowy otwiera klucz tranzystorowy nMOS zwierający jeden z rezystorów w dzielniku, co powoduje powstanie histerezy o wartości napięcia ok. 70 mV, mało zależnej od szybkości narastania i opadania napięcia. Wyjściowy sygnał POR jest używany do blokowania pracy układów analogowych i cyfrowych, gdy napięcie zasilające układ jest poniżej wymaganego minimum zapewniającego prawidłowe funkcjonowanie. Symulowane typowe parametry układu dla U_{DD} = 0/2,8 V i $t_r = t_f$ = 1 ms (0 ÷ 100% U_{DD}) są wyszczególnione w tab. 2. Napięcia progów są dostosowane do odpowiednich

napięć wyjściowych stabilizatora napięcia. Schemat elektryczny układu pokazano na rys. 2.

Tabela 2. Symulacja progów wyłączenia/włączenia (modele typowe, T = 27°C			
B1	B0	Próg wyłączenia sygnału POR	Próg włączenia sygnału POR
0	0	1,88 V	1,81V
0	1	2,04 V	1,97 V
1	0	2,20 V	2,13V
1	1	2,34 V	2,28 V



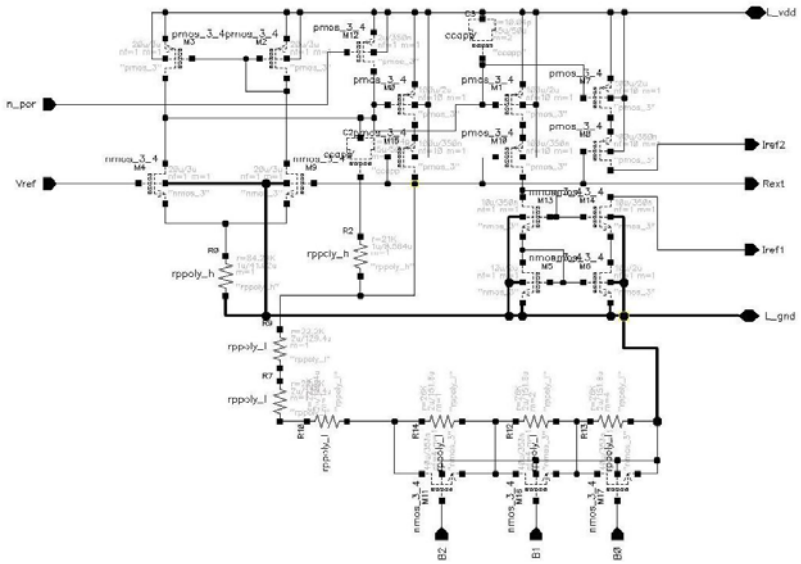
Rys. 2. Schemat programowanego układu „power-on-reset”

Źródło prądów referencyjnych 10 μA

Działanie układu jest oparte na porównywaniu napięcia referencyjnego 0,85 V z napięciem wytworzonym przez prąd referencyjny na wewnętrznym rezystorze. Ponieważ zarówno napięcie referencyjne, jak i rezystancja podlegają rozrzutom technologicznym, wartość prądu może ulegać nawet 30% odchyłkom od pożądanej wartości. Dlatego rezystor składa się z części stałej (3 × 22,2 kΩ = 66,6 kΩ) i trzech rezystorów o wartościach rezystancji 26 kΩ, 13 kΩ oraz 6,5 kΩ, które mogą być zwierane kluczami tranzystorowymi sterowanymi słowem korekcyjnym <B>. Rozwiązanie takie powinno umożliwić ustawienie prądu referencyjnego z dokładnością lepszą od 0,5 μA. W celu poprawy stałości prądów w funkcji napięcia wyjściowego w układach wytwarzania i kopiowania prądów zastosowano układy kaskodowe. Układ generuje dwa prądy: wpływający i wypływający. Zmiany termiczne prądów są uzależnione głównie od termicznych współczynników rezystancji i właściwości termicznych napięcia referencyjnego i wynoszą ok. 3% w zakresie –25 ÷ 85°C. W tab. 3 i 4 przedstawione zostały symulowane typowe wartości generowanych prądów referencyjnych – wpływającego i wypływającego – oraz dla różnych modeli rezystancji i w różnych warunkach termicznych z uwzględnieniem zmian napięcia referencyjnego. Na rys. 3 pokazano schemat źródła prądów referencyjnych.

Tabela 3. Symulacja prądów referencyjnych dla modeli typowych			
<B> = 100, U_{DDstab} = 2 V	T = –25°C	T = 27°C	T = 85°C
Wartość prądu referencyjnego wpływającego	9,706 μA	9,853 μA	9,925 μA
Wartość prądu referencyjnego wypływającego	9,747 μA	9,875μA	9,936 μA

Tabela 4. Symulacja prądów referencyjnych dla różnych modeli rezystancji i temperatury			
U_{DDstab} = 2 V	Model *res_typ* T = –25°C	Model *res_typ* T = 27°C	Model *res_max* T = 85°C
Słowo korekcyjne	<B> = 100	<B> = 100	<B> = 110
Wartość prądu referencyjnego wpływającego, $U_{wyj} = U_{DDstab}$	9,706 μA	9,853 μA	10,30 μA
Wartość prądu referencyjnego wypływającego, U_{wyj}=0	9,747 μA	9,875 μA	10,32 μA



Rys. 3. Schemat źródła prądów referencyjnych

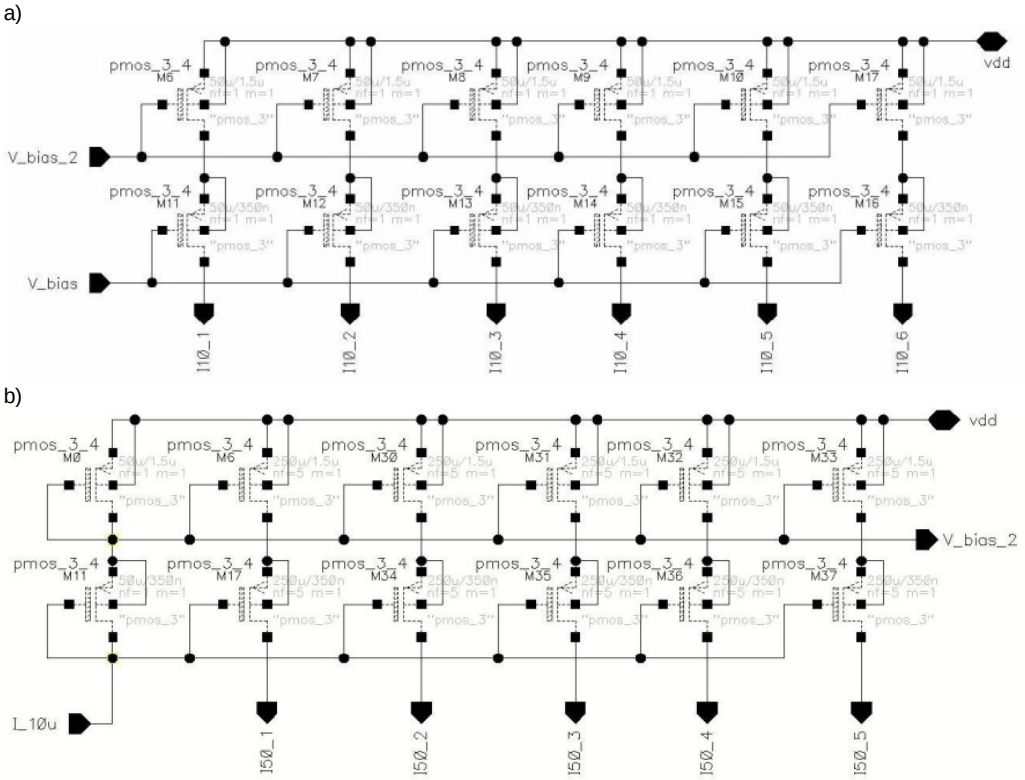
Źródła prądów polaryzujących 10 μA i 50 μA

Prądy polaryzujące 10 μA i 50 μA (rys. 4) są wytwarzane w kaskodowych układach typu zwierciadła prądowego, co zapewni większą stałość prądów w funkcji napięcia wyjściowego, niż uzyskana w prostym układzie kopiowania zastosowanym w układzie SBL-01. Każdy układ ma pięć wyjść prądu wypływającego, przy czym tylko dwa z każdego układu zostały wyprowadzone na zewnątrz do celów pomiarowych. Prądem wejściowym dla źródła 50 μA jest prąd referencyjny wpły-

wający 10 μA, natomiast źródło 10 μA jest polaryzowane napięciowo ze źródła 50 μA. W tab. 5 przedstawiono wyniki symulacji prądów wyjściowych dla rzeczywistego prądu wejściowego z generatora prądu referencyjnego, przy napięciach wyjściowych 1 V. Symulowana dokładność kopiowania/powielania prądu jest nie gorsza niż 0,2% dla napięcia wyjściowego mniejszego od 1,2 V. Wraz z podwyższeniem napięcia zasilania można uzyskać odpowiednio szerszy zakres.

Tabela 5. Symulacja prądów polaryzujących dla modeli typowych

<B> = 100, U_{DDstab} = 2 V	T = –25°C	T = 27°C	T = 85°C
Wartość prądu referencyjnego	9,631 μA	9,835 μA	9,913 μA
Wartość prądu polaryzującego 10 μA, U_{wyj} = 1 V	9,626 μA	9,832 μA	9,912 μA
Wartość prądu polaryzującego 50 μA, U_{wyj} = 1 V	48,13 μA	49,16 μA	49,56 μA



Rys. 4. Schemat źródła prądów polaryzujących 10 μA (a) i 50 μA (b)

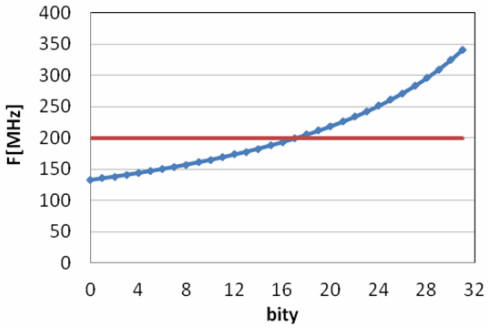
Projekt układu oscylatora pierścieniowego 200 MHz

Założono, że układ ma zapewniać generację oscylacji 200 MHz w całym zakresie rozrzutów technologii podawanym przez producenta i ma się charakteryzować

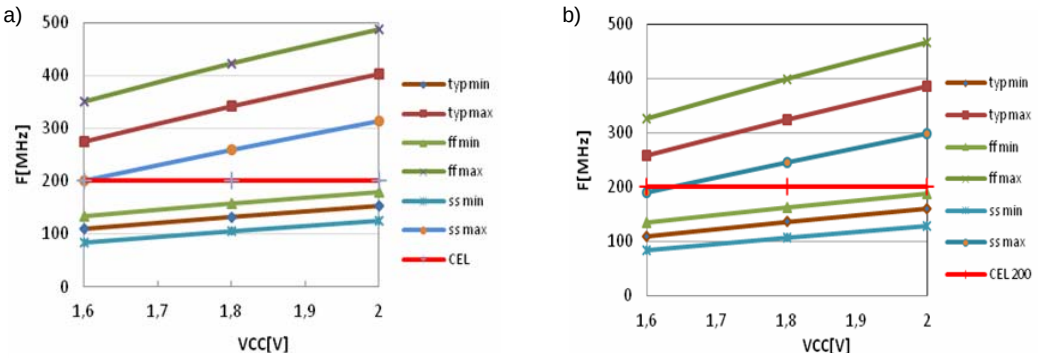
niskim poborem prądu przy napięciu zasilania = 1,8 V. Układ oscylatora został zbudowany z trzech komórek opóźniających, a każda z nich zawiera inwerter obciążony 5-bitową matrycą pojemności, której zadaniem jest skokowe strojenie częstotliwości. Matryce pojemności zbudowano z tranzystorów nMOS, których bramki są podłączone do wyjścia każdego inwertera, a źródła zwarte z drenami sterowane są przez 5-bitowe słowo odłączające/dołączające daną pojemność. Taka konstrukcja zapewnia regulację częstotliwości konieczną z powodu rozrzutu technologicznego, wyrażanego poprzez rozrzut parametrów modeli tranzystorów

Zdecydowano o zamieszczeniu w strukturze próbnej dwóch wariantów oscylatora, aby ocenić czy rozrzuty częstotliwości będą mniejsze w przypadku zastosowania tranzystorów z kanałem 2 razy dłuższym niż minimalny. Wyniki symulacji tego nie pokazują. Pierwszy wariant A zawiera tranzystory o minimalnej długości kanału 150 nm, a drugi wariant B – inwerter z tranzystorami o długości kanału 300 nm.

Charakterystyka cyfrowego dostrajania częstotliwości (rys. 5) jest nieliniowa. W okolicy 200 MHZ regulacja ta przebiega ze skokiem 5 ÷ 6 MHz. Na rys. 6 pokazano skrajne możliwe wartości oscylacji jako funkcje napięcia zasilania w zakresie 1,6 ÷ 2,0 V. Wariant A (rys. 6a) zapewnia oscylacje 200 MHz dla napięcia zasilania V_{CC} od 1,6 V do ponad 2 V dla wszystkich parametrów modeli, a wariant B (rys. 6b) od 1,64 V do 2 V. Warto zwrócić uwagę na fakt, że zakres zmienności parametrów modeli tranzystorów jest tak duży, że dla minimalnej pojemności, dołączanej do komórki opóźniającej, częstotliwość może się zmieniać od 430 MHz do 260 MHz, a dla maksymalnej pojemności – od 100 MHz do 170 MHz. Z wykresów widać, że oscylator został tak zaprojektowany, aby generował sygnał 200 MHz w całym zakresie zmienności parametrów technologicznych: *ff, ss, typ*.



Rys. 5. Częstotliwość oscylacji w zależności od wartości słowa regulującego częstotliwość przy typowych parametrach modeli tranzystorów. V_{CC} = 1,8 V

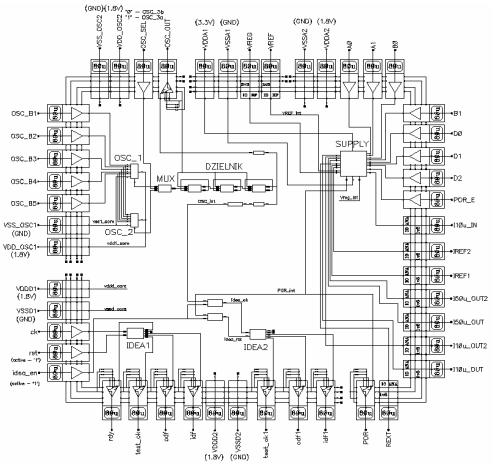


Rys. 6. Częstotliwość dla wariantu A (a) i dla wariantu B (b)

Średni prąd zasilania praktycznie jest identyczny dla obu wariantów oscylatora i przy 1,8 V oraz typowych parametrach zawiera się w przedziale 208,6 ÷ 240,2 μA, co oznacza średni pobór mocy w zakresie 375 ÷ 36 μW.

Projekt analogowo-cyfrowej struktury badawczej SBL-02

Projekt struktury badawczej wykonany został zgodnie z klasyczną metodyką *bottom-up*. Wcześniej zaprojektowane i zweryfikowane bloki analogowe oraz cyfrowe zostały skonsolidowane w postaci schematu elektryczno-logicznego na najwyższym poziomie hierarchii (*top level*), zawierającego oprócz wewnętrznych elementów funkcjonalnych (*core*) także komórki peryferyjne (pady) dla sygnałów wejścia/ /wyjścia oraz masy i zasilania (rys. 7).



Rys. 7. Schemat struktury badawczej SBL-02 (*top level*)

Struktura SBL-02 zawiera następujące bloki funkcjonalne:

- blok układów zasilania *SUPPLY* składający się z generatora napięcia referencyjnego (*bandgap*), liniowego regulatora napięcia zasilania 1,8 V, układu POR (*power-on-reset*) oraz układów generacji prądów referencyjnych i polaryzacji;
- blok oscylatora pierścieniowego 200 MHz w dwóch wersjach konstrukcyjnych (*OSC_1* i *OSC_2*) wraz z układami multipleksera oraz dzielnika częstotliwości;
- dwa bloki cyfrowe *IDEA*: jeden do pomiarów indywidualnych (*IDEA1*) i drugi jako część składowa testowego układu analogowo-cyfrowego (*IDEA2*).

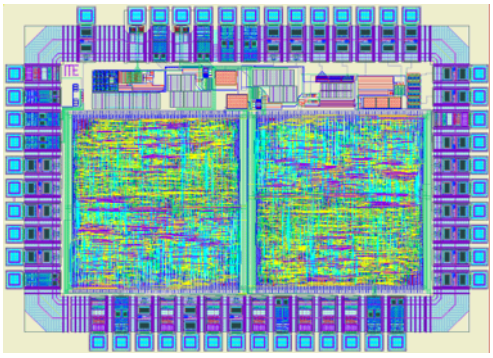
Struktura zaprojektowana została w taki sposób, że umożliwia niezależne pomiary bloku zasilania *SUPPLY*, bloku oscylatora oraz bloku cyfrowego *IDEA*. Wszystkie istotne sygnały wejściowe/wyjściowe oraz masa i zasilanie tych bloków zostały wyprowadzone na pady. Ponadto wprowadzono trzy niezależne domeny napięcia zasilania, co pozwala na pomiary każdego bloku przy wyłączonym zasilaniu pozostałych. Ze względu na ograniczone czasy narastania i opadania buforów wyjściowych (min. 2 ns) sygnał wyjściowy bloku oscylatora 200 MHz został wyprowadzony na pad po podziale częstotliwości przez 8.

Blok cyfrowy *IDEA* występuje na strukturze dwukrotnie. Pierwszy (*IDEA1*) umożliwia indywidualne pomiary tego bloku zarówno funkcjonalne, jak i parametryczne. Drugi (*IDEA2*) jest częścią składową testowego układu analogowo-cyfrowego, wraz z odpowiednio połączonymi blokami regulatora napięcia, układu POR oraz oscylatora 200 MHz z dzielnikiem częstotliwości. Napięcie zasilania 1,8 V, sygnał zegarowy (sygnał oscylatora 200MHz podzielony przez 8) oraz sygnał *reset* bloku *IDEA* są w tym przypadku generowane wewnętrznie. Struktura umożliwia

pomiar funkcjonalny tak rozumianego układu testowego dzięki wyprowadzeniu na pady odpowiednich sygnałów wyjściowych.

Projekt elektryczno-logiczny struktury badawczej SBL-02 został zweryfikowany przy wykorzystaniu symulacji mieszanej (symulator *SpectreVerilog*).

Projekt topografii układu (rys. 8) wykonano w systemie Cadence przy wykorzystaniu narzędzi V*irtuoso Layout Suite GXL* (bloki analogowe i *top level*) i *SOC Encounter* (blok cyfrowy). Całkowita powierzchnia struktury SBL_02 wynosi 3,3 mm^2. Układ przekazano do prototypowania w serwisie MPW za pośrednictwem organizacji EUROPRACTICE. Dla celów pomiarowych struktury zmontowane zostaną w ceramicznych obudowach DIL48.



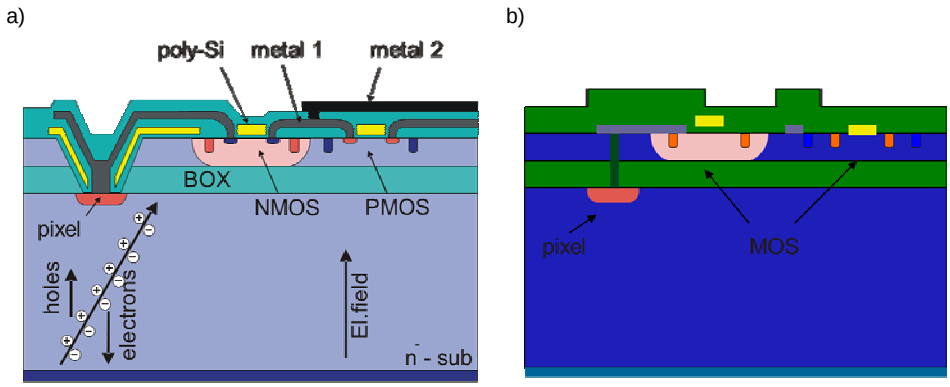
Rys. 8. Topografia struktury badawczej SBL-02 (2,14 mm × 1,54 mm)

2.2. Układ odczytowy do współpracy z detektorem promieniowania jonizującego

Celem zadania jest opracowanie układów odczytowych do monolitycznych detektorów promieniowania jonizującego zrealizowanych w procesie technologicznym H035 IMS (Institute for Microelectronic Circuits and Systems w Duisburgu). Ten proces technologiczny typu SOI (Silicon On Insulator) został wybrany z uwagi na unikalną możliwość wytworzenia złączy półprzewodnikowych poniżej warstwy tlenku zagrzebanego (BOX – Burried OXide) i wykonania do nich kontaktów z powierzchni układu, czyli z warstwy, w której realizowane są przyrządy (*device layer*).

Warstwa technologiczna służąca do wykonania złączy pod BOX nosi nazwę *Shield Implantation*, ponieważ wprowadzono ją w celu ekranowania niskonapięciowej części układu scalonego od wpływu podłoża w przypadku stosowania w układzie również przyrządów wysokonapięciowych (wysokonapięciowy wariant H035). Możliwość integracji złączy detekcyjnych wytworzonych pod tlenkiem zagrzebanym z układami odczytowymi znajdującymi się ponad nimi przyniesie znaczną redukcję powierzchni układu, zwiększenie rozdzielczości detektora dzięki zmniejszeniu wymiaru pojedynczej komórki, a także możliwość poprawy jego parametrów dzięki skróceniu połączeń między złączem detekcyjnym a układem odczytowym.

Na rys. 9 pokazano porównanie wariantu, który zostanie zrealizowany w procesie H035 (rys. b) z rozwiązaniem wykonanym wiele lat temu w zmodyfikowanym procesie zakładu Z2 ITE (rys. a), gdzie dostęp do złącza pod BOX był możliwy dzięki głębokiemu i szerokiemu kraterowi (lejowi) wykonanemu w górnej warstwie krzemu. Warto zwrócić uwagę na różnicę w gęstości upakowania i długości połączeń pomiędzy detektorem a wzmacniaczem odczytowym.



Rys. 9. Porównanie dwóch wariantów realizacji detektora pikselowego: a) zmodyfikowany proces ITE, b) proces H035

W poprzednim etapie tego zadania w 2011 r. wykonano projekt elektryczny układu odczytowego dla pojedynczego piksela. Układ składał się z następujących bloków:

- wzmacniacza ładunkowego z samorozładowaniem o sprzężeniu na wejściu typu AC wzmacniacza kształtującego impuls typu $e^{-t/\tau}$;
- detektora wartości szczytowej tego impulsu z układem pamiętania (krótkoterminowego) na kondensatorze;
- dwóch buforów analogowych wyprowadzających napięcie wyjściowe układu kształtującego i detektora na zewnątrz;
- prostego układu cyfrowego sygnalizującego detekcję cząstki.

W 2012 r. odbyło się pierwsze spotkanie projektowe w sprawie projektowanych w ITE układów odczytowych obu jednostek, w którym wzięli udział przedstawiciele ITE i IMS Duisburg. Strona niemiecka przedstawiła swoje uwagi odnośnie pierwszej wersji kompletnego toru odczytowego dla pojedynczego piksela, który został zaprojektowany w latach 2011–2012. Szczególnie istotne okazały się uwagi odnośnie obecnej realizacji procesu technologicznego H035, ponieważ wcześniej nie były one znane projektantom, a niektóre z nich oznaczały konieczność wprowadzenia zmian w projekcie elektrycznym, jak i stworzenia nowej topografii układu praktycznie od podstaw. Do najistotniejszych zmian należało:

- konieczność wyeliminowania długich (l > 20 μm) tranzystorów na skutek zjawisk występujących w tego typu przyrządach;
- zalecenie stosowania podwójnych kontaktów pomiędzy warstwami metalizacji poziomu 1 i 2 (dalej zalecenie to zostało zmienione na wymóg);
- brak możliwości stosowania trzeciej i czwartej warstwy metalizacji (wcześniej były one używane w topografii, co spowodowało konieczność jej modyfikacji).

Ponadto obecny na spotkaniu prof. B. Hosticka zalecił zmianę sposobu sprzężenia z detektorem diodowym z AC na DC motywując to właściwościami szumowymi. Nakazano wydłużenie kanałów tranzystorów do min. 1,6 μm, zakazując jednocześnie stosowania tranzystorów „cyfrowych” o minimalnej długości kanału 1,0 μm.

Zalecenia te zostały zrealizowane. Skontrolowano wszystkie wymiary tranzystorów i wprowadzono stosowne zmiany. Wejściowy wzmacniacz ładunkowy zrealizowano dwuwariantowo: w wersji 1 ze sprzężeniem DC dla docelowego układu z zagrzebanymi detektorami diodowymi oraz w wersji 2 ze sprzężeniem AC z dzielnikiem pojemnościowym na wejściu dla układu badawczego bez detektora diodowego, przystosowanego do badania prostokątnym przebiegiem napięciowym. Konieczne okazało się wykonania odpowiednich symulacji stałoprądowych, przejściowych, szumowych i zmiennoprądowych, aby uzyskać poprawne działanie.

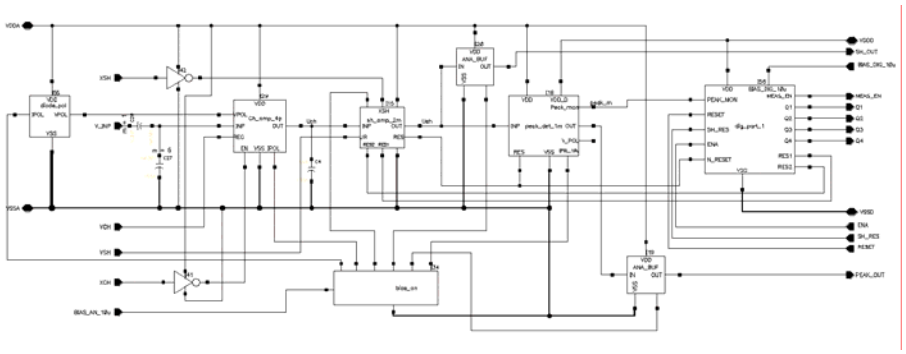
Na spotkaniu poruszony został także temat niekompletności pakietu projektowego dla procesu H035, w szczególności wadliwej pierwszej wersji procedur DRC, całkowitego braku LVS, a także braku pinów w parametrycznych komórkach bibliotecznych. Po raz kolejny przedstawiona została również oferta pomocy ze strony Zakładu w uzupełnianiu funkcjonalności PDK.

Z uwagi na to, że proces H035 nie jest obecnie uruchamiany w opcji z warstwą *Shield Implantation*, która miała być wykorzystana do stworzenia samego złącza detekcyjnego, nowa wersja kompletnego układu odczytowego została zaprojektowania z przeznaczeniem do badań laboratoryjnych.

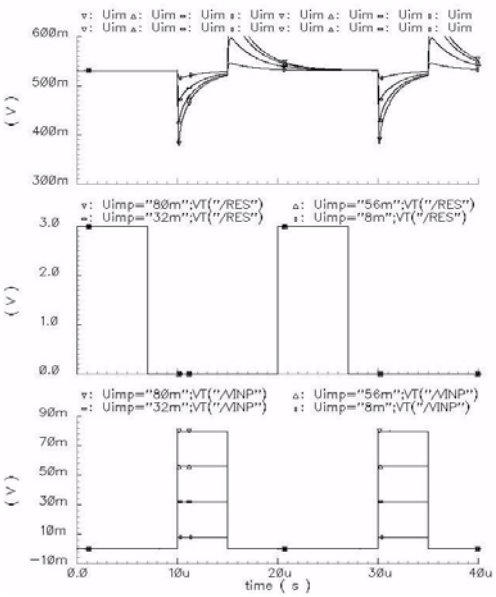
Układ odczytowy (1pix) do badania zewnętrznym sygnałem napięciowym z generatora

Jest to układ badawczy bez zagrzebanej diody detekcyjnej na wejściu, które związku z tym jest wyprowadzone na zewnątrz. W układzie tym zastosowano sprzężenie AC z dzielnikiem pojemnościowym, co powinno umożliwić pobudzanie układu napięciowym sygnałem prostokątnym o amplitudzie od kilku do kilkudziesięciu mV. Pełny schemat elektryczny 1-pikselowego układu odczytowego jest przedstawiony na rys. 10. Wykonano projekt wzmacniacza ładunkowego (*ch_amp_4p*) z parą różnicową typu pMOS. Na wejściu zastosowano dzielnik pojemnościowy 109 fF/445 fF umożliwiający wysterowanie wejścia przebiegiem prostokątnym o szybkich zboczach. Do celów badawczych wprowadzono dodatkowe wejście REG, którym można polaryzować bramkę tranzystora w sprzężeniu zwrotnym z zewnątrz, jeśli wejście EN jest w stanie L. Odpowiedź układu na skokowe sygnały napięciowe o amplitudach 8 mV, 32 mV, 56 mV i 80 mV jest pokazana na rys. 11.

We wzmacniaczu kształtującym dokonano kilku korekt wymiarów tranzystorów. Podobnie jak we wzmacniaczu ładunkowym wprowadzono dodatkowe wejście napięcia polaryzującego bramkę tranzystora w sprzężeniu zwrotnym VR, aktywne, gdy XSH jest w stanie L. Wprowadzono dodatkowe wejścia zerujące RES1 i RES2 i poprawiono skuteczność blokowania impulsów mogących pojawić się w trakcie przetwarzania aktualnej wartości napięcia wyjściowego detektora szczytowego.



Rys. 10. Schemat 1-pikselowego układu odczytowego

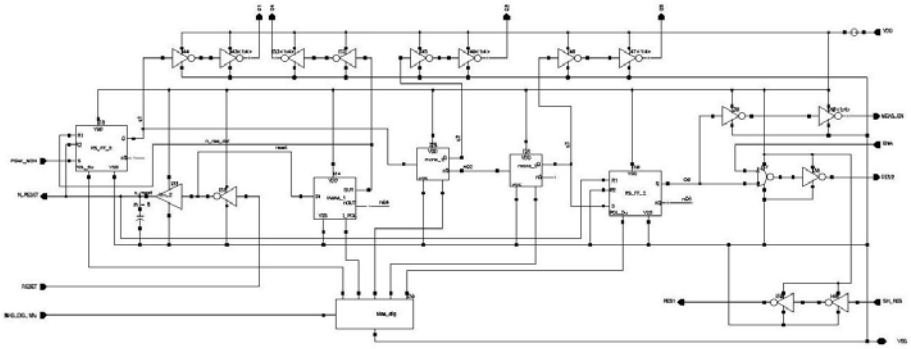


Rys. 11. Odpowiedź wzmacniacza ładunkowego (rys. górny) na skoki napięciowe o amplitudach 8 mV, 32 mV, 56 mV i 80 mV

W detektorze wartości szczytowej impulsu dokonano kilku korekt długości kanału. Dodany został stopień wzmacniający prąd ładowania kondensatora pamiętającego, który wytwarza impuls wyzwalający przerzutnik monostabilny generujący impuls (stan wysoki) o czasie trwania ok. 0,35 μs na wyjściu *Peak_ _mon*. Pojawienie się tego impulsu oznacza, że na wejściu wzmacniacza ładunkowego wystąpił impuls ładunkowy większy od 1000e i kondensator pamiętający o pojemności 2,8 pF jest ładowany. Z braku odpowiednich danych o prądzie upływu kondensatorów (technologia jest wyjątkowo słabo scharakteryzowana) trudno jest ocenić jak szybko kondensator będzie się samoistnie rozładowywał po naładowaniu. Rozładowanie kondensatora pamiętającego następuje wówczas, gdy wejście zerujące RES jest w stanie H.

Układ cyfrowy złożony z kilku przerzutników bi- i monostabilnych generuje na wyjściu MEAS_EN zmianę stanu z L = >H po ok. 0,36 μs od szczytu impulsu z układu kształtującego (1,16 μs od pobudzenia detektora diodowego cząstką) i jednocześnie, gdy ENA = H, zamyka drogę sygnału we wzmacniaczu kształtującym poprzez obniżenie napięcia na wyjściu tego układu do poziomu niższego od 100 mV. To powoduje, że do momentu zresetowania układu impulsy o amplitudzie niższej od 1,6 V nie przechodzą do detektora szczytu. W przypadku gdy ENA = L, droga sygnału po wystąpieniu impulsu nie jest zamykana. Pojawienie się tego sygnału oznacza, że na wyjściu analogowym układu odczytowego danego piksela jest

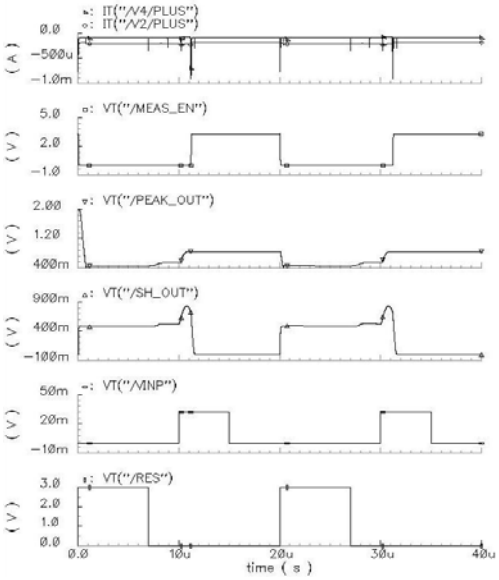
sygnał gotowy do odczytu i konwersji. Po ze- wnętrznym resecie stan sygnału powraca do L. Schemat układu przedstawiono na rys. 12.



Rys. 12. Schemat bloku cyfrowego

Układ odczytowy jest wrażliwy na rozrzuty parametrów, w szczególności tranzystorów, ze względu na to, że do wytworzenia odpowiednich stałych czasowych we wzmacniaczu ładunkowym i kształtującym zostały użyte jako rezystory i kondensatory tranzystory pracujące w zakresie liniowym i wykorzystujące pojemność bramkową. Zmiana parametrów tych tranzystorów pociąga za sobą zmianę stałych czasowych i wzmocnienia. Jednak ze względu na potrzebne duże wartości rezystancji (rzędu MΩ) nie było możliwości wykorzystania warstw rezystancyjnych, a pojemności liniowe nie są w tej technologii wykonywane.

Na zewnątrz, poprzez bufory analogowe wyprowadzone zostały sygnały: SH_OUT – wyjściowy ze wzmacniacza kształtującego i PEAK_OUT – wyjściowy z detektora amplitudy impulsu. Na rys. 13 przedstawiono symulację przejściową dla napięcia prostokątnego o amplitudzie 32 mV (t_r = 10 ns). Zauważono, że układ ma znaczną nieliniowość. Jest to związane z pracą tranzystorów przy małych prądach oraz z wykorzystaniem tranzystorów jako duże rezystory i brakiem liniowych pojemności.



Rys. 13. Symulacja przejściowa dla amplitudy sygnału wejściowego VINP równej 32 mV

Z powodu stosunkowo dużej (21) liczby padów w stosunku do rozmiaru układu, która zdeterminowała wielkość kompletnej struktury, zdecydowano się na dodanie do niej także zestawu tranzystorów MOS o obu typach przewodnictwa, wymiarze minimalnym, pięciokrotnie większej szerokości kanału, pięciokrotnie większej długości kanału, a także pięciu tranzystorów o wymiarach minimalnych połączo-

nych razem. Zestaw uzupełniono także dostępnym w procesie złączem P-N. Opisane powyżej elementy posłużą do charakteryzacji procesu H035, która będzie przeprowadzona w ITE.

W przeciwieństwie do typowych pakietów PDK design kit dla procesu H035 nie zawiera ani kompletnych komórek wejścia-wyjścia, ani nawet samych struktur zabezpieczających, dlatego też konieczne stało się opracowanie tych elementów we własnym zakresie. Przyjęty został wariant struktury ESD dla wejścia-wyjścia bez rezystorów szeregowych, z diodami o szerokości dwudziestokrotnie większej od minimalnej. Dla wejścia wzmacniacza ładunkowego opracowano dedykowaną strukturę o minimalnych wymiarach złączy P-N, tak aby miała możliwie małe pojemności własne. Z uwagi na niestabilne parametry diody Zenera strukturę spinającą zasilanie z masą *(supplyVoltage clamp*), która jest niezbędna do zamknięcia drogi prądu powstałego w wyniku wyładowania elektrostatycznego, zaprojektowano w nietypowy sposób, wykorzystując cztery złącza P-N połączone szeregowo w kierunku przewodzenia. Struktura została przystosowana do zasilania równego 3,3 V. Napięcie, przy którym zaczyna przez nią płynąć zauważalny prąd, wynosi 3,5 V.

Rozbudowa pakietu projektowego dla procesu H035

W 2011 r. poprzestano na naprawie procedur DRC i uruchomieniu podstawowych funkcji Virtuoso-XL, spodziewając się, że IMS opracuje i wyda w niedługim czasie nową wersję design-kit-u zawierającą szerszy zestaw funkcjonalności. Kilkakrotne przesuwanie terminu uruchomienia serii produkcyjnej H035 spowodowało, że podjęto własne prace nad procedurami LVS.

Do obsługi LVS potrzebne jest uruchomienie dwóch typów procedur: procedur ekstrakcji, odpowiedzialnych za odnajdywanie przyrządów w topografii układu, oraz procedur porównywania, odpowiedzialnych za sprawdzanie zgodności listy połączeń i parametrów przyrządów pomiędzy dwoma analizowanymi reprezentacjami zazwyczaj tej samej komórki. Spośród dwóch głównych metod rozpoznawania przyrządów w procesie ekstrakcji– zaawansowanej inżynierii kształtów oraz użycia etykiet – wybrano tę pierwszą. Jest ona bardziej elegancka, nie wymaga dodatkowych modyfikacji topografii przyrządów (problem komórek parametrycznych!), ale jest znacznie bardziej pracochłonna. W skrócie metodę tą można opisać jako wyodrębnienie interesującego nas obszaru, który stanowi poszukiwany przyrząd poprzez wykonanie często wieloetapowych operacji geometrycznych na warstwach topografii układu. Rozpoznawanie oraz pomiar wymiarów każdego z typów przyrządów przeprowadzano na specjalnie do tego stworzonych topografiach, testując każdorazowo poprawność algorytmu. Następnie opracowany został plik reguł porównywania zawierający procedury porównywania parametrów przyrządów, a także procedury redukcji. Rolą tych drugich jest zastąpienie szeregowo lub równolegle połączonych przyrządów określonego typu jednym przyrządem o wynikowych parametrach. Jednoprocentowy próg dokładności zastosowany w regułach porównywania jest konieczny z uwagi na to, że niektóre z przetwarzanych parame-

trów nie są liczbami całkowitymi, ponadto pochodzą z obliczeń, w których następuje zaokrąglanie wartości. Uruchomienie procedur LVS wymagało modyfikacji wpisów do tablic CDF (*component description form*) dla przyrządów z biblioteki technologicznej, tak aby ich reprezentacje wykorzystywane w porównywaniu miały przypisywane podlegające porównywaniu parametry.

Warto podkreślić, że uruchomienie procedur LVS stawało się problemem o coraz większej istotności wraz ze wzrostem złożoności projektowanych układów. O ile w przypadku najprostszego układu odczytowego można było stosunkowo prosto wykonać taką weryfikację ręcznie, o tyle poddanie takiemu procesowi złożonego projektu jest bardzo czasochłonne, a co więcej nie daje stuprocentowej pewności.

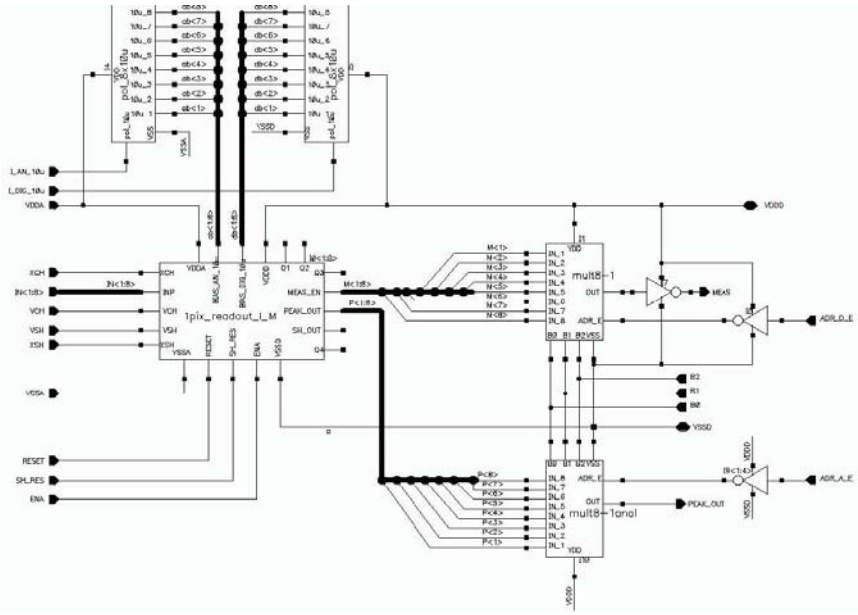
Układ odczytowy z matrycą detektorów diodowych 8 × 8 pixeli

Zaprojektowany układ odczytowy jest przeznaczony do współpracy z matrycą diodowych detektorów o wymiarach 8 × 8 pikseli. Układ ten będzie służył do przetestowania przyjętych założeń przed realizacją bardziej złożonej matrycy. Diody mają być wykonane w podłożu typu n pod tlenkiem izolacyjnym BOX. Podłoże stanowiące wspólną katodę ma być podłączone do „wysokiego” napięcia rzędu 30 ÷ 50 V. Obszary anod typu p poszczególnych pikseli poprzez tlenek mają być wyprowadzone do wejść układów odczytowych znajdujących się na tlenku, których potencjał wejściowy jest utrzymywany na poziomie ok. 1,5 V. W skład toru odczytowego każdego piksela (*1pix_readout*) wchodzą:

- układ wytwarzający napięcie polaryzujące wzmacniacz ładunkowy;
- wzmacniacz ładunkowy sprzężony stałoprądowo z detektorem diodowym;
- wzmacniacz kształtujący impuls;
- detektor amplitudy impulsu z układem krótkoterminowego pamiętania napięcia na kondensatorze;
- układ cyfrowy generujący sygnał informacyjny o pobudzeniu detektora i odczytaniu ładunku równoważnego co najmniej 1000e;
- 2 układy wytwarzające prądy polaryzacji dla ww. bloków.

Każdy wiersz (array 1× 8 – rys. 14) złożony z 8 pikseli zawiera:

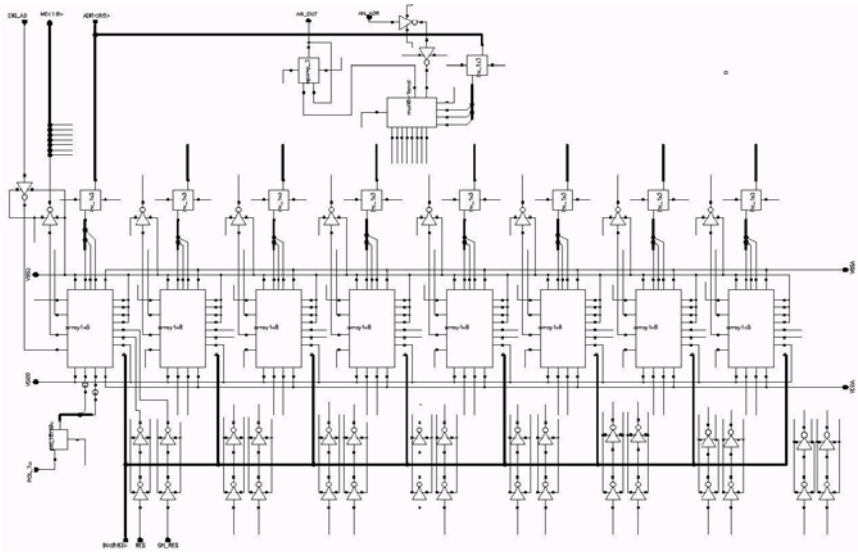
- 8 układów odczytowych (1pix_readout);
- 2 układy zwierciadeł prądowych (pol8×10u) wytwarzające prądy polaryzujące osobno dla odczytowych układów analogowych i układów cyfrowych każdego piksela;
- 8-wejściowy multiplekser (mult8-1) do odczytu sygnału informacyjnego MEAS_EN z poszczególnych pikseli;
- 8-wejściowy multiplekser analogowy (mult8-1anal) do odczytu napięcia wyjściowego PEAK_OUT zapamiętanego w układach detektorów amplitudy poszczególnych pikseli danego wiersza.



Rys. 14. Schemat jednego wiersza odczytowego (array 1 × 8)

Cały układ odczytowy (rys. 15) składa się z:

- 8 wierszy (array1 × 8) z układami odczytowymi
- 8-wejściowego multipleksera analogowego (mult8-1anal) do wyprowadzania napięcia wyjściowego z wybranego wiersza wybranej kolumny;
- wtórnika wyjściowego;
- układu powielania prądu polaryzacji (16 prądów – po 2 dla każdego wiersza).



Rys. 15. Schemat układu odczytowego 8 × 8 pikseli (array 8 × 8)

Układy tworzące układ odczytowy matrycowy

Wzmacniacz ładunkowy

Układ realizuje sprzężenie DC z detektorem diodowym, polaryzując go od strony anody napięciem ok. 1,5 V. Za stopniem ładunkowym znajduje się dwustopniowy wzmacniacz o wzmocnieniu napięciowym ok. 4, co umożliwia generowanie sygnału informacyjnego MEAS_EN już przy zdeponowanych na wejściu ładunkach mniejszych od 1000e. Sprzężenie DC, jak również sprzężenie zwrotne we wzmacniaczu powoduje, że układ toleruje przepływ prądu ciemnego detektora diodowego do ok. 5 ÷ 10 nA, zmieniając tylko nieznacznie punkt pracy.

Wzmacniacz kształtujący

Wprowadzono zmiany w układzie zerowania. Układ ma 3 wejścia resetujące: RES – wejście wykorzystywane do resetu łącznie z detektorem i częścią cyfrową; RES1 – wejście wykorzystywane do resetowania tylko tego wzmacniacza; RES2 – – wejście wykorzystywane do automatycznego blokowania układu w stanie po naładowaniu kondensatora pamiętającego w detektorze amplitudy impulsu – aktywne, gdy ENA = H. Powoduje zablokowanie toru (z opóźnieniem 0,35 μs) od momentu naładowania kondensatora do momentu zwolnienia resetu zewnętrznego (RES). Zabezpiecza to przed detekcją amplitudy impulsu pochodzącego od ładunku zdeponowanego w tym samym pikselu dopóki nie nastąpi odczyt i konwersja napięcia pochodzącego od poprzedniego ładunku na wejściu.

Blok cyfrowy

Wytwarza zmianę stanu L→H sygnału MEAS_EN po ok. 1,16 μs od pobudzenia danego piksela cząstką jonizującą. Oznacza to, że na wyjściu analogowym układu odczytowego danego piksela jest sygnał gotowy do odczytu i konwersji. Po zewnętrznym sygnale RESET stan sygnału MEAS_EN powraca do L.

Multipleksery cyfrowe

W każdym wierszu złożonym z 8 układów odczytowych znajduje się multiplekser cyfrowy *mult8-1* do odczytu sygnału informacyjnego MEAS_EN<n> z wybranego bitami adresowymi ADR<2:0> piksela. Sygnały z poszczególnych wierszy nie są multipleksowane i wychodzą na zewnątrz jako słowo 8-bitowe ME<0:7>.

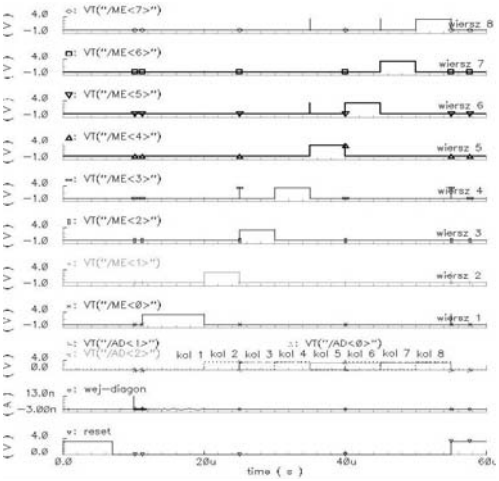
Multipleksery analogowe

W każdym wierszu znajduje się 8-wejściowy multiplekser analogowy *mult8-1anal* do odczytu sygnału analogowego PEAK_OUT z wybranego bitami ADR<2:0> piksela. Wybrane w ten sposób sygnały z 8 wierszy wchodzą na wejście identycznego multipleksera analogowego sterowanego bitami ADR<5:3>, który wybiera jeden sygnał z całej kolumny i kieruje go na wyjście AN_OUT po-

przez wtórnik (wzmacniacz operacyjny). Każdy multiplekser 8-wejściowy zbudowany jest z multiplekserów 2-wejściowych w układzie kaskady 4-2-1.

Układy polaryzacji

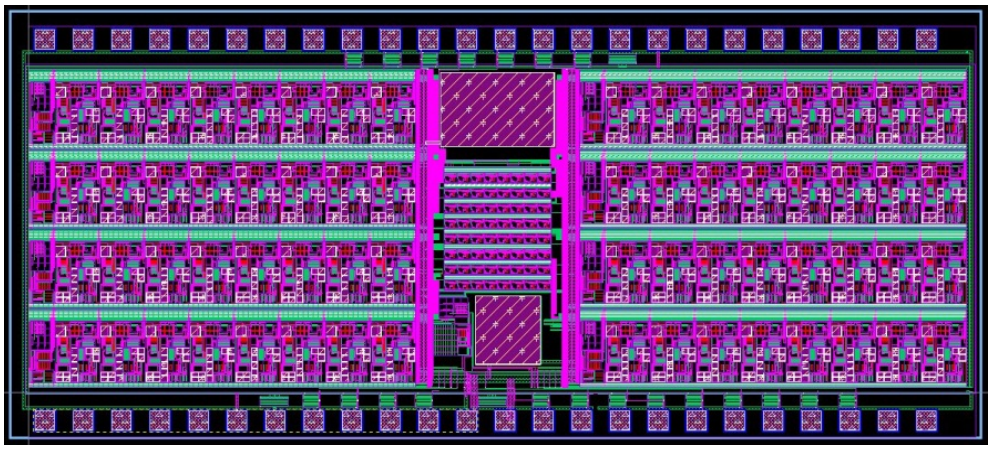
Prądy polaryzacji dla układów każdego piksela są wytwarzane w układach *bias_an* (dla części analogowej) i *bias_dig* (dla części cyfrowej). Z kolei na każde 8 pikseli przypadają 2 układy *pol8x10u* wytwarzające po 8 prądów polaryzujących dla wszystkich pikseli. Na najwyższym poziomie hierarchii znajduje się układ *pol16x10u,* który wytwarza 16 prądów zasilających wszystkie układy *pol8x10u* w wierszach. Dla zewnętrznego prądu polaryzacji o natężeniu 7 μA uzyskuje się całkowitą wartość prądu ok. 16 mA w stanie oczekiwania.



Rys. 16. Symulacja odczytu sygnałów informacyjnych przy pobudzeniach pikseli położonych diagonalnie

Na rys. 16 przedstawiono symulację układu dla pobudzeń pikseli położonych diagonalnie: z kolejnych kolumn wyprowadzana jest 8-bitowa informacja o pobudzeniu odpowiednich pikseli, którą stanowi stan wysoki (H) na danym bicie sygnału ME. W kolejnych kolumnach stan ten występuje w kolejnych wierszach, co odpowiada pobudzeniom rozłożonym diagonalnie. Detektory diodowe symulowano źródłem prądowym generującym impuls o czasie trwania 10 ns i równoległą pojemnością 50fF.

Widok kompletnej topografii układu przedstawiono na rys. 17.



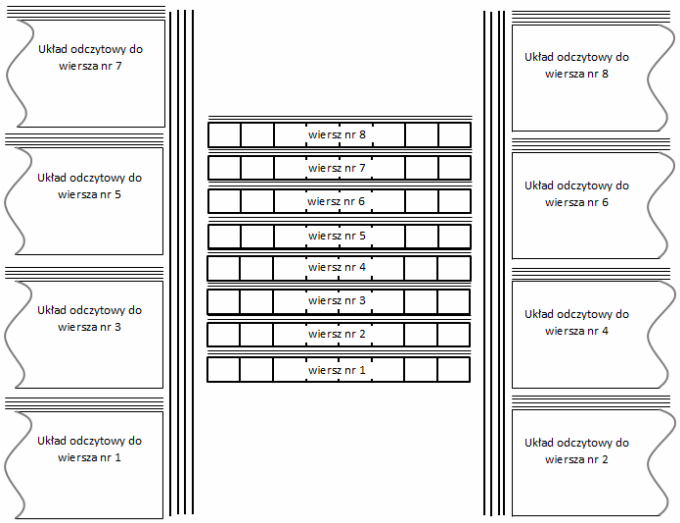
Rys. 17. Topografia kompletnego układu matrycy 8 × 8 pikseli

Opracowanie topografii układu odczytowego dla matrycy 8 × 8 pikseli

Przy opracowywaniu topografii układu mogły zostać wykorzystane gotowe bloki, które wcześniej były składnikami toru odczytowego dla pojedynczego piksela. W niektórych z nich konieczne było wykonanie zmian odpowiadających modyfikacjom schematów elektrycznych, co zostało opisane powyżej. Ponadto konieczne było opracowanie od podstaw topografii nowych składników, a więc bloku cyfrowego, multiplekserów cyfrowych i analogowych, luster prądowych oraz wzmacniacza operacyjnego.

Najbardziej złożonym zagadnieniem było ustalenie topologii całości układu oraz sposobu połączenia jego elementów ze sobą. Wielkość pojedynczego elementu matrycy – piksela, determinująca rozdzielczość detektora jest związana bezpośrednio z rozmiarami wzmacniacza ładunkowego, który znajduje się nad złączem P-N wykonanym pod warstwą tlenku zagrzebanego. Zestawy 8 wzmacniaczy ładunkowych utworzyły rzędy matrycy, które wyposażono dodatkowo w magistrale doprowadzające do nich sygnały wspólne, tj. masę i zasilanie, jak również indywidualne sygnały wyjścia i prądów i napięć polaryzacji. W podobny sposób postąpiono z pełnymi blokami odczytowymi dla pojedynczych pikseli, z tym że tam zastosowano multipleksowanie części sygnałów.

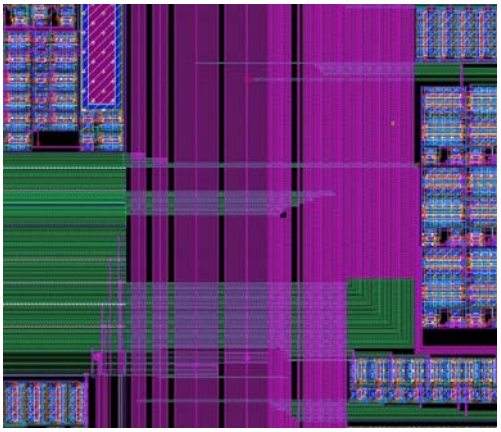
Z uwagi na dużą rozbieżność pomiędzy rozmiarami rzędu detektorów (560 × 60 μm) oraz układów odczytowych (2018 × 410 μm) zdecydowano się zastosować naprzemienne rozmieszczenie układów pokazane schematycznie na rys. 18.



Rys. 18. Schemat rozmieszczenia bloków matrycy 8 × 8

Korzyścią wynikającą z takiego rozmieszczenia elementów składowych układu jest zmniejszenie dysproporcji pomiędzy długościami ścieżek łączących poszczególne rzędy detektorów z rzędami układów odczytowych. Obszar pomiędzy kolumną bloków układów odczytowych a matrycą detektorów zajęty został przez

pionowo poprowadzone magistrale: masy i zasilania analogowego, masy i zasilania cyfrowego, 3 najmłodszych bitów adresu, wyjść sygnalizacji wystąpienia impulsu (4 po każdej stronie), wyjść analogowych (4 po każdej stronie), wejść prądów polaryzacji (4 pary po każdej stronie), sygnałów sterujących (3 po każdej stronie). Ścieżki obu mas i zasilań z uwagi na duże wartości prądów poprowadzono przy użyciu szerokości znacznie większej niż minimalna. Resztę pustej powierzchni wypełniono dwoma dużymi pojemnościami odsprzęgającymi.



Rys. 19. Fragment topografii kompletnego układu matrycy 8 × 8

Z uwagi na znaczne wymiary układu, a co za tym idzie znaczne długości pierścienia masy i zasilania, zastosowano w sumie 4 struktury *supplyVoltage clamp*. Na rys. 19 pokazano fragment sieci połączeniowej układu dający wyobrażenie o jego komplikacji. Widoczne są ścieżki mas i zasilań analogowego i cyfrowego, a także komplikacja wewnętrznych połączeń układu.

Zadanie związane z projektowaniem układów monolitycznych detektorów promieniowania jonizującego zostało zakończone w 2012 r. Wykonano 2 struktury próbne, z których druga charakteryzuje się bardzo dużą złożonością. Niestety, z uwagi na zaniechanie przez IMS realizacji procesu H035 z opcją implantacji SHIELD nie jest możliwe określenie czasu, kiedy struktura zostanie wykonana, co więcej, czy jej produkcja w ogóle nastąpi. Cykl produkcyjny pierwszej ze struktur, pozbawionej złącza detekcyjnego i przeznaczonej do testów laboratoryjnych, ma trwać nawet 12 miesięcy.

W procesie projektowania napotkano na następujące problemy wymagające rozwiązania:

- Bardzo skąpa dokumentacja samego procesu, jak i komórek bibliotecznych PDK. Proces H035 jest nadal w fazie rozwoju, co więcej prace nad nim są prowadzone w sposób dorywczy z powodu braku finansowania po stronie niemieckiej. Brak danych powodował konieczność ekstrapolacji niektórych wielkości na podstawie doświadczeń z innymi procesami technologicznymi o podobnym wymiarze charakterystycznym. Przykładem mogą być tu dane co do samorozładowania pojemności MOS oraz maksymalnych obciążalności prądowych warstw metalicznych i kontaktów.
- Topologia *split-source* tranzystorów MOS występujących w procesie. Omawiany wariant topologii przyrządów MOS realizowanych w technologii SOI polega na wykonaniu obszarów źródeł tranzystorów jako zestawu implantacji o tym samym i przeciwnym typie, co obszar drenu tranzystora. W ten sposób powstają

jednocześnie kontakty polaryzujące nieutleniony fragment krzemu, na którym wykonany jest przyrząd aktywny – jego podłoże. Dzięki temu praca projektanta topografii jest ułatwiona, ponadto wbudowanie kontaktów w źródło tranzystora znacznie oszczędza powierzchnię. Niekorzystnym efektem tego rozwiązania jest skwantowanie szerokości kanału tranzystora wynikłe z faktu, że obszar jego źródła jest złożony z zakładek implantacji oraz całkowitej wielokrotności obszarów implantacji typu p+ i n+, których minimalne szerokości i separacje są zdeterminowane przez reguły projektowania. Niemożność dokładnego dobrania wymiarów tranzystorów utrudnia projektowanie precyzyjnych układów analogowych. Ponadto połączenie źródeł z podłożami tranzystorów uniemożliwia realizację prostych bramek transmisyjnych.

- Wysokie względem poziomu zasilania napięcia progowe tranzystorów uniemożliwiające zastosowanie niektórych rozwiązań układowych.
- Niska pojemność na jednostkę powierzchni jedynego dostępnego typu kondensatora. Zmniejsza ona znacznie poziom upakowania topografii.
- Brak dostępnych w typowym PDK elementów zabezpieczających (ESD) oraz technologicznych związanych z wykończeniem struktury scalonej (*chip finishing*). Projektowanie struktur ESD jest osobną dziedziną wiedzy. W typowym procesie technologicznym traktowane są one jako elementy dane, co więcej takie, w które zwykły projektant nie powinien ingerować. Z powodu ich braku w H035 zastosowano struktury zaprojektowane samodzielnie.
- Brak diody Zenera o stabilnych parametrach – struktura ESD spinająca zasilanie z masą została zaprojektowana jako stos zwykłych złączy P-N.
- Bardzo długi cykl produkcyjny procesu w wersji bez złączy pod tlenkiem zagrzebanym, brak danych co do terminu uruchomienia wersji procesu z implantacją pod BOX. Pomiary pierwszej z zaprojektowanych struktur będą możliwe ok. połowy 2013 r., wtedy też będzie możliwe ich opublikowanie. Z uwagi na znaczną komplikację w sterowaniu struktury próbnej planowane jest w najbliższym czasie opracowanie dedykowanej płyty prototypowej wykorzystującej mikrokontroler jako element zapewniający wytworzenie właściwej sekwencji sygnałów sterujących, a także akwizycję i wizualizację wyników. Pierwsza seria wytworzonych prostych struktur odczytowych opartych na wtórnikach okazała się nie działała z powodu błędu po stronie technologii (brak jednej z warstw implantacji).

2.3. Opracowanie metodyki pomiarów układów zrealizowanych w zaawansowanych technologiach

Celem prac było zaprojektowanie charakterografu składającego się z generatora, miernika oraz komputera wyposażonego w środowisko LabVIEW. Komunikacja pomiędzy komponentami przyrządu powinna odbywać się za pomocą sieci ethernetowej. Tak skonstruowane urządzenie będzie zdolne do pomiarów charakterystyk prądowo-napięciowych dowolnego dwójnika i trójnika.

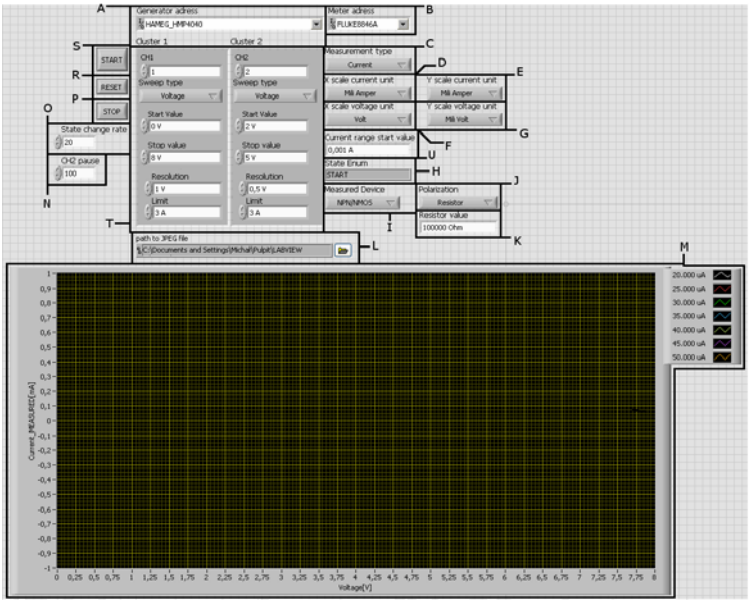
Wymagany sprzęt i oprogramowanie

Aby poprawnie uruchomić opracowany charakterograf, należy posiadać:

- oprogramowanie LabVIEW (testowane na wersji 2012);
- sterownik NI-VISA (testowane na wersji 5.2.0);
- sterownik NI-DAQmx (testowane na wersji 9.6.0);
- FLUKE 8846A;
- HAMEG HMP4040;
- kable łączące badany element z przyrządami.

Działanie charakterografu

Program realizujący logikę charakterografu i nadzorujący transmisję danych między przyrządami pomiarowymi został zrealizowany jako maszyna stanów. Zarządza ona wymuszeniami na kanałach wybranych kontrolkami CH1 i CH2 oraz pomiarem prądu lub napięcia przez multimetr. Przemiatanie kanałów generatora polega na przechodzeniu od minimum do maksimum na kanale wskazanym przez kontrolkę CH1 i (po każdym osiągnięciu jego maksimum) na zwiększaniu wartości na kanale wskazanym przez CH2. Gdy wartość kanału wskazanego przez kontrolkę CH2 również osiągnie maksimum, wówczas program resetuje się do wartości początkowych, zapisuje uzyskany wykres i czeka na ponowne wyzwolenie pomiarów. Po inicjalizacji wartościami startowymi program działa do momentu naciśnięcia przez użytkownika przycisku STOP. Dla każdego stanu naciśnięcie przycisku RESET spowoduje powrót do stanu początkowego. Użytkownik współpracuje z charakterografem poprzez panel czołowy (rys. 20).



Rys. 20. Panel czołowy charakterografu

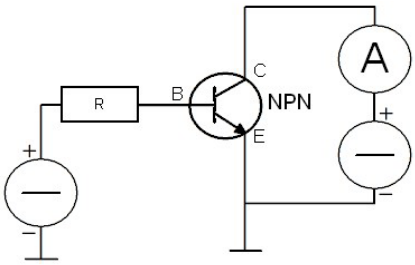
Wprowadzanie danych

Po uruchomieniu programu, gdy automat znajduje się w stanie START, należy ustalić wartości kontrolek przed naciśnięciem przycisku START. W polach **A** i **B** należy wprowadzić sterowniki/adresy urządzeń. W polu **C** wprowadzany jest typ pomiaru (prądowy lub napięciowy). Jeżeli mierzone jest napięcie, jednostka na osi Y ustawiana jest w kontrolce **G**, natomiast jeżeli mierzony jest prąd – jest ustawiana jest w kontrolce **E**. Analogicznie dla wymuszeń napięciowych na CH1 jednostka ustawiana jest w polu **F**, natomiast dla wymuszeń prądowych w polu **D**. W kontrolce **U** ustawiany jest początkowy zakres dla pomiarów prądowych. Kontrolny wskaźnik **H** pokazuje na bieżąco stan układu.

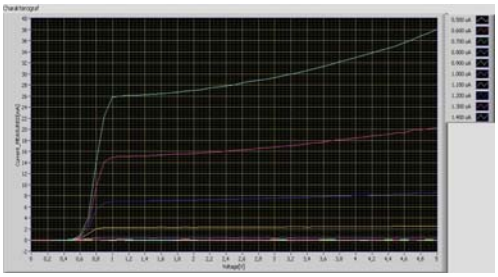
W tym celu na kontrolce **J** należy ustawić „Resistor", a na **K** wartość rezystora w omach. Gdy mamy do czynienia z polaryzacją bez rezystora, wybieramy w kontrolce **J** „Direct". Pole **I** służy do wybrania, jaki typu mierzonego urządzenia Dla tranzystorów PNP i PMOS następuje odwrócenie osi X. W polu **L** należy wprowadzić ścieżkę, pod którą finalny wykres ma zostać zapisany. Graf **M** prezentuje na bieżąco kolejne pomiary i to jego stan na koniec w stanie READY jest zapisywany do pliku. Klastry w polu **T** zawierają parametry wymuszeń na kanałach wskazanych przez CH1 i CH2. Są to CHX – numer X kanału generatora, StartValue – wartość początkowa kanału, StopValue – wartość końcowa kanału, Resolution – rozdzielczość kanału (o ile będzie inkrementowana wartość kanału), Limit – ograniczenie prądowe dla wymuszeń napięcia i odwrotnie. W kontrolce **N** ustawiana jest ilość milisekund, którą układ odczekuje w stanie CH1 Reset 2. W polu **O** wprowadzana jest ilość milisekund, którą odczekuje układ przed zmianą stanu. Przycisk **P** zatrzymuje działanie układu. Przycisk **R** resetuje układ do początkowych wartości, natomiast **S** rozpoczyna pomiary.

Przykładowe charakterystyki uzyskane za pomocą charakterografu

Dla tranzystora NPN (rys. 21) do uzyskania zamieszczonej na rys. 22 rodziny charakterystyk zastosowano tranzystor ZTX 614 oraz rezystor polaryzujący 1 MΩ.



Rys. 21. Schemat pomiarowy tranzystora NPN



Rys. 22. Rodzina charakterystyk wyjściowych tranzystora ZTX 614

Wykonany charakterograf pozwala na wykreślenie charakterystyk dwójników i trójników, co zobrazowano na przykładach charakterystyki wyjściowej tranzysto-

ra (rys. 21). Do działania charakterograf wymaga przyrządów podłączonych do sieci I napisanego w środowisku LabVIEW oprogramowania. W przeciwieństwie do tradycyjnego charakterografu wykonanego dedykowanym przyrządem wymuszenia i pomiary napięć/prądów dokonywane są napięciem/prądem stałym. Wynikają z tego pewne konsekwencje. Po pierwsze, dotyczące go ograniczenia są bardziej restrykcyjne niż w wypadku pomiarów napięciem zmiennym, co nie pozwala na wykonywanie charakterystyk w tak szerokich zakresach mocy. Po drugie, pomiar staje się bardziej wrażliwy na efekty termiczne, szczególnie przy pomiarach większych wartości prądów. Znacznie utrudnia to pomiar charakterystyk tranzystorów przeznaczonych do pracy na większych mocach. Pomiar całej charakterystyki zabiera znacznie więcej czasu. Zaletą tego rozwiązania, w porównaniu z tradycyjnym charakterografem, jest cyfrowa możliwość zapisu otrzymanego wykresu w formacie pliku JPG.

3. Działalność w ramach 7. Programu Ramowego Unii Europejskiej

PARSIMO Partitioning and Modeling of System in Package (SiP)
Partycjonowanie i modelowanie układów typu System in Package (SiP)

Celem projektu jest doskonalenie, optymalizacja i standaryzacja metod projektowania układów typu SiP (*System in Package*). Uproszczenie i skrócenie czasu procesu projektowania i wytwarzania układów SiP jest niezbędne dla zachowania ekonomicznej opłacalności stosowania tego typu systemów, jak również zwiększenia poziomu ich niezawodności. Opracowanie skutecznych metod partycjonowania układu (strukturalnego i funkcjonalnego podziału układu na moduły), jak również całościowej symulacji i weryfikacji (nie tylko funkcjonalnej) staje się dziś coraz istotniejszym zagadnieniem do rozwiązania. W ramach projektu PARSIMO opracowane są komputerowe narzędzia CAD wspomagające proces optymalizacji partycjonowania SiP oraz wytwarzane są 4 demonstratory przeznaczone do praktycznej weryfikacji rzeczywistych osiągnięć projektu. ITE jest odpowiedzialny za wytworzenie demonstratora SIESTA (System of Intelligent Sensors for Experimental Avionic Applications).

PAR4CR Partnership for the Development of Cognitive Radio
Partnerstwo dla opracowania radia kognitywnego

Jest to projekt typu Marie Curie w ramach FP7 z kategorii Industry-Academia Partnerships and Pathway. Jego celem jest rozwój nowej architektury dla radia definiowanego programowo (Software Defined Radio – SDR) jako kroku w kierunku opracowania radia rozpoznającego (Cognitive Radio – CR). Przewiduje się, że efektem programu badawczego będzie:

- zredukowanie kosztów radia SDR poniżej poziomu kosztów transceiverów multimode oraz multiband;

- poprawienie wydajności SDR do poziomu porównywalnego z transceiverami singlemode,
- wyznaczenie jasnej drogi przejścia (mapy drogowej) od SDR do CR.

W projekcie uczestniczy 7 instytucji naukowych i jednostek powiązanych z przemysłem. ITE był również organizatorem sesji specjalnej „Technologies Towards Cognitive Transceivers – PAR4CR Project" w ramach konferencji MIXDES (19th International Conference Mixed Design of Integrated Circuits and Systems, Warszawa, 24.05.2012), która jednocześnie stanowiła workshop dla zainteresowanych problematyką CR.

SMAC SMArt Systems Co-Design
Zaawansowane techniki projektowania systemów inteligentnych

Pojęcie systemów inteligentnych SI (*Smart Systems*) obejmuje szeroką klasę zminiaturyzowanych energooszczędnych układów o rozbudowanej funkcjonalności, nierzadko energetycznie autonomicznych, służących do detekcji rozmaitych wielkości fizycznych, przetwarzania i transmisji danych, wyposażonych w mikromechaniczne elementy wykonawcze MEMS. W celu zapewnienia opisanych funkcjonalności SI integrują w jeden układ złożone heterogeniczne komponenty i podsystemy takie, jak: mikrosiłowniki, mikrodźwignie, dedykowane detektory wielkości fizycznych, moduły zarządzania energią, moduły zasilające, układy przetwarzania danych i łączności bezprzewodowej. Na etapie projektowania konieczne jest uwzględnianie nieustannie rosnącej liczby wzajemnie na siebie wpływających czynników. Jedną z korzyści jest poprawa niezawodności takich systemów. W perspektywie uruchomienia masowej produkcji i wielokrotnego wykorzystania tych samych rozwiązań jest możliwe znaczące ograniczenie zarówno kosztów procesu projektowania, jak i produkcji. Do projektowania tego typu systemów wykorzystywane są dziś narzędzia CAD i metody opracowane przed laty z myślą o standardowych, monolitycznych, jednowymiarowych strukturach scalonych. Aktualnie prowadzone w ITE prace są skoncentrowane na opracowaniu dedykowanej struktury mikrofonu wraz z elektroniką odczytową opracowywaną we współpracy z Politechniką w Bratysławie.

e-BRAINS Best-Reliable Ambient Intelligent Nano Sensor Systems
Inteligentne systemy nanoczujnikowe zoptymalizowane pod kątem niezawodności

Głównym celem projektu e-BRAINS jest zwiększenie wydajności i niezawodności technologii integracji układów heterogenicznych, ze szczególnym uwzględnieniem technologii trójwymiarowej integracji oraz wytwarzania warstw zawierających nanoczujniki. ITE prowadzi prace związane z hierarchicznym modelowaniem mikro- i nanosystemów. Prace badawcze są również prowadzone w zakresie badania niezawodności i wytrzymałości materiałów z uwzględnieniem nanorurek i nanodrutów krzemowych. Partnerzy projektu mają tu możliwość wykorzystania swo-

ich doświadczeń do opracowania nowych metod badania i poprawy niezawodności w odniesieniu do technologii heterogenicznych.

4. Projekty krajowe

THzOnLine Wielopikselowy detektor promieniowania THz zrealizowany z wykorzystaniem selektywnych tranzystorów MOS i jego zastosowanie w biologii, medycynie i systemach bezpieczeństwa

Celem projektu jest opracowanie, wykonanie i przetestowanie multipikselowego detektora promieniowania dla pasma THz. Pojedynczy piksel detektora jest tranzystorem wykonanym w technologii MOS. Jest on wyposażony w anteny planarne zapewniające detektorowi selektywność częstotliwościową i zintegrowany z niskoszumnym wzmacniaczem. Zakłada się, że detektor będzie się składał z 10–15 pikseli. Wyposażenie urządzenia w konwencjonalne źródło promieniowania THz (globar), optykę, układ odczytu rejestrujący sygnały ze wszystkich pikseli i oprogramowanie do analizy danych pozwoli na użycie go do wykrywania materiałów posiadających charakterystyczne widmo w tym zakresie. W trakcie projektu wykonane zostaną pomiary spektralne próbek istotnych dla celów biologicznych, medycznych i obszaru bezpieczeństwa.

BIOSIP Mikroukładowa technologia pomiaru parametrów psychofizycznych w warunkach dynamicznych

Celem projektu jest opracowanie nowej mikroukładowej technologii umożliwiającej pomiar parametrów psychofizjologicznych w warunkach dynamicznych. Pozwoli ona na zintegrowanie wielu systemów i torów pomiarowych wewnątrz mikroukładu scalonego. Opracowane w projekcie rozwiązanie pozwoli na zredukowanie wymiarów obecnie stosowanych rozwiązań, podniesie ich niezawodność, obniży pobór prądu oraz zwiększy możliwości aplikacyjne. Opracowany system pomiarowy stanie się atrakcyjny jako element urządzeń mobilnych nowej generacji oraz składnik systemów monitorowania i ochrony zdrowia. Mikroukładowa technologia zostanie zrealizowana poprzez dwa równolegle opracowywane autorskie rozwiązania: BioSoC i BioSiP. BioSoC będzie specjalizowanym układem scalonym z analogowo-cyfrowymi torami przetwarzania sygnałów oraz mikrokontrolerem integrującym funkcje i możliwości pomiarowe współczesnych urządzeń diagnostycznych.

5. Prototypy, modele, wdrożenia, licencje

- Kurjata-Pfitzner E., Szymański A., Wąsowski J.: MODEL: Model scalonego analogowo-cyfrowego układu badawczego SBL_02
- Szymański A., Obrębski D.: MODEL: Opracowanie pełnego toru układu odczytowego dla monolitycznego detektora promieniowania jonizującego, zrealizowany w procesie H035 IMS Duisburg

- Szymański A., Obrębski D.: MODEL: Opracowanie układu matrycowego detektora promieniowania jonizującego
- Obrębski D.: MODEL: Opracowanie reguł weryfikacji zgodności topografii układu scalonego ze schematem (LVS – LayoutVersus Schematic) dla procesu technologicznego H035

6. Aparatura

W 2012 r. zakupione zostały następujące urządzenia:

- zasilacz awaryjny (USP) o mocy 15 kVA (10 kW); zasilanie 3 × 400 W, wyjście 1 × 230V, wyposażony w urządzenie do monitorowania;
- stacja robocza klasy PC/Linux o wysokiej mocy obliczeniowej;
- laserowe monochromatyczne urządzenie wielofunkcyjne.

Publikacje'2012

[P1] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., GOTSZALK T., MOCZAŁA M., BUITRAGO E., FERNANDEZ-BOLANOS BADIA M., IONESCU A. M.: Reliability Investigation by Examination of Dedicated MEMS/ASIC and NWs Test Structures Related to Novel 3D SiP and Nano-Sensors Systems. Anaheim, USA, 4–11.11.2012, s. 1–6.

[P2] JANCZYK G., BIENIEK T., GRABIEC P., WYMYSŁOWSKI A., ŚWIERCZYŃSKI R.: Optimization on MEMS-IC SiP Development Reliable Design Methods. Proc. of the Int. Workshop on Testing Three-Dimensional Stacked Integrated Circuits 3D-TEST in Conjunction with ITC. Anaheim, USA, 4–11.11.2012, s. 1–6.

[P3] JAROSZ A.: Design of Layout in Sub-Micron Technologies. Workshop on Technologies towards Cognitive Tranceivers. Special Session of 19th Int. Conf. Mixed Design of Integrated Circuits and Systems, Warszawa, 24–26.05.2012, s. 171–185.

[P4] KOŁODZIEJSKI J. F., SZCZĘSNY J.: Nowe zadania pomiarów ostrzowych w procesie wytwarzania przyrządów półprzewodnikowych. *Elektronika* 2012 vol. LIII nr 2 s. 92–96.

[P5] SUAREZ PENALOZA M.: Comparison on Flexible Tranceivers Performances. Proc. of the Workshop on Technologies towards Cognitive Transceivers. Warszawa, 24.05.2012, s. 27–37.

[P6] SUAREZ PENALOZA M., ZLYDAREVA O.: LTE Transceiver Performance Analysis in Uplink under Various Environmental Conditions. Proc. of the 4th Int. Congress on Ultra Modern Telecommunications and Control Systems and Workshops. St. Petersburg, Rosja, 2–5.10.2012 (złoż. do red.).

[P7] SUAREZ PENALOZA M., ZLYDAREVA O.: LTE/WiMAX Multimode Mobile Transceiver, Comparison of Performances and Power Efficiency Issues. Proc. of the IEEE Aerospace Conf. Montana, 03.2013 (złoż. do red.).

[P8] SUAREZ PENALOZA M., ZLYDAREVA O., HOOMAN HABIBI , POOH LING E : Performance of a Multimode LTE/WiMAX Trasceiver Including the Nonlinear Interference Suppressor. Proc. of the IEEE Aerospace Conference, Montana,USA, 03.2013, (złoż. do red.).

[P9] ZLYDAREVA O., SUAREZ PENALOZA M.: Mobile WiMAX Performance Analysis Including polas SD Architecture under Varoius Environmental Conditions. Proc. of the IEEE Radio Wireless Symp. Santa Clara, USA, 2.01.2012, s. 355–358.

Prezentacje'2012

[K1] BIENIEK T., JANCZYK G.: Task 1.3x - ITE Current Status of Work. e-Brains Techn. Meet. Warszawa, 12.09.2012 (kom.).

[K2] BIENIEK T., JANCZYK G.: Task 1.3x - ITE Current Status of Work. e-Brains Techn. Meet. Lozanna, Szwajcaria, 12.01.2012 (kom.).

[K3] BIENIEK T., JANCZYK G.: Task 1.3.x - ITE Current Status of Work. e-Brains Techn. Meet. Tours, Francja, 16.05.2012 (kom).

[K4] BIENIEK T., JANCZYK G.: Task 1.4.x - ITE Current Status of Work. e-Brains Techn. Meet. Lozanna, Szwajcaria, 12.01.2012 (kom.).

[K5] BIENIEK T., JANCZYK G., JANUS P., EKWIŃSKA M.: Task 1.4x - ITE Current Status of Work. e-Brains Techn. Meet. Warszawa, 12.09.2012 (kom.).

[K6] BIENIEK T., JANCZYK G., JANUS P.: Task 1.4.x - ITE Current Status of Work. e-Brains Techn. Meet. Tours, Francja, 16.05.2012 (kom.).

[K7] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., GOTSZALK T., MOCZAŁA M., BUITRAGO E., FERNANDEZ-BOLANOS BADIA M., IONESCU A. M.: Reliability Investigation by Examination of Dedicated MEMS/ASIC and NWs Test Structures Related to Novel 3D SiP and Nano-Sensors Systems. Anaheim, USA, 4–11.11.2012 (plakat, kom.).

[K8] BIENIEK T., JANCZYK G., JANUS P., PUFALL R., WUNDERLE B., HOLCK O.: Cantilever Beam Test Structure", e-Brains Technical Meeting (Sample Meet.). Monachium, Niemcy, 3.07.2012 (kom.).

[K9] JANCZYK G., BIENIEK T.: WP2 - Outline of M12-M18 Progress. 18M Techn. Rev. Meet. PARSIMO. Bruksela, Belgia, 30.11.2012 (kom.).

[K10] JANCZYK G., BIENIEK T., GRABIEC P., WYMYSŁOWSKI A., ŚWIERCZYŃSKI R.: Optimization on MEMS-IC SiP Development Reliable Design Methods. IEEE Int. Workshop on Testing Three-Dimensional Stacked Integrated Circuits 3D-Test in Conjunctionwit ITC Test Week 2012 Anaheim, USA, 4–11.11.2012 (plakat, kom.).

[K11] JANCZYK G., BIENIEK T., WYMYSŁOWSKI A.: WP2 Outline of M12-M18 Task by Task (ITE/WRUT). 4th Techn. Meet. PARSIMO. Warszawa, 1–2.10.2012 (kom.).

[K12] JANCZYK G., EKWIŃSKA M., BIENIEK T., JANUS P., KOWALSKI P.: T3.4 - MEMS Microphone - Design Flow Formulation & Samples & Validation. 1st SMAC Workshop. Oudenaarde, Belgia, 27–27.06.2012 (kom.).

[K13] JANCZYK G., GRABIEC P.: Instytut Technologii Elektronowej, Warsaw, Poland, for EeB Project. Spotkanie przygotowawcze projektu EeB. Göteborg, Szwecja, 11.10.2012 (kom.).

[K14] JANCZYK G., KALICIŃSKI S., BIENIEK T.: WP2 Technical Progress. 3rd Techn. Project Meet. Londyn, Wielka Brytania, 10.02.2012 (kom.).

[K15] JANCZYK G., KALICIŃSKI S., BIENIEK T., JANUS P.: Polish Demonstrator SIESTA - Technical Progress. 3rd Technical Project Meet. Londyn, Wielka Brytania, 10.02.2012 (kom.).

[K16] JAROSZ A.: Design of Layout in Sub-Micron Technologies. 19th Int. Conf. Mixed Design of Integrated Circuits and Systems. Warszawa, 24–26.05.2012 (ref.).

[K17] JAROSZ A.: Design of Layout of RF Receiver. PAR4CR Workshop. Caen, Francja, 11.04.2012 (ref.).

[K18] SUAREZ PENALOZA M.: Comparison on Flexible Tranceivers Performances. Workshop on Technologies towards Cognitive Transceivers. Warszawa, 24.05.2012 (ref.).

[K19] SUAREZ PENALOZA M., ZLYDAREVA O.: LTE Transceiver Performance Analysis in Uplink under Various Environmental Conditions. 4th Int. Congr. on Ultra Modern Telecommunications a. Control Systems a. Workshops. St. Petersburg, Rosja, 2–5.10.2012 (ref.).

[K20] ZLYDAREVA O., SUAREZ PENALOZA M.: Mobile WiMAX Performance Analysis Including polas SD Architecture under Various Environmental Conditions. IEEE Radio a. Wireless Symp. Santa Clara, USA, 2.01.2012 (ref.).

[K21] ZLYDAREVA O., SUAREZ PENALOZA M.: Mobile WiMAX Performance Analysis Including polas SD Architecture under Varoius Environmental Conditions. IEEE Radio a. Wireless Symp. Santa Clara, USA, 2.01.2012 (plakat).