ZAKŁAD PROJEKTOWANIA UKŁADÓW SCALONYCH I SYSTEMÓW

Kierownik: dr inż. Grzegorz JANCZYK, e-mail: janczyk@ite.waw.pl, tel. (22) 548 78 50

Zespół: mgr inż. Mirosław Grodner, mgr inż. Adam Jarosz,
mgr inż. Cezary Kołaciński,
mgr inż. Ewa Kurjata-Pfitzner, mgr inż. Dariusz Obrębski,
mgr inż. Andrzej Szymański, dr inż. Jerzy Szynka,
mgr inż. Jerzy Wąsowski, mgr Joanna Wójcik, mgr inż. Michał Zbieć

1. Działalność badawczo-rozwojowa w 2013 r.

Statutowe projekty badawcze

Projekt B. Nanoelektronika heterogenicznych mikrosystemów oraz krzemowych przyrządów fotonicznych dla zastosowań interdycyplinarnych (kierownik projektu: dr inż. Piotr Grabiec, prof. nadzw. w ITE)

- Zadanie B2. Integracja konstrukcji i technologii sensorów mikromechanicznych wraz z układami elektroniki odczytowej

Inne projekty

- Projekty krajowe finansowane przez Narodowe Centrum Badań i Rozwoju NCBR (THzOnLine, BioSiP, HEC)
- Projekty w ramach 7. Programu Ramowego Unii Europejskiej i innych programów międzynarodowych (SMAC, SESBE, eBRAINS, PAR4CR, PARSIMO)

2. Statutowy projekt badawczy Nanoelektronika heterogenicznych mikrosystemów oraz krzemowych przyrządów fotonicznych dla zastosowań interdycyplinarnych

Zadanie B2. Integracja konstrukcji i technologii sensorów mikromechanicznych wraz z układami elektroniki odczytowej

Głównym celem zadania była realizacja zadań służących integracji opracowywanych w ITE czujników z układami elektroniki odczytowej. Zakres prowadzonych prac obejmował m. in.:

- praktyczną weryfikację możliwości prowadzenia symulacji współbieżnych obejmujących moduły MEMS i układy elektroniki odczytowej;
- opracowanie uniwersalnego modułu przetwornika analogowo-cyfrowego ΣΔ (sigma-delta), przeznaczonego do wykorzystania przy realizacji przyszłych, dedykowanych układów elektroniki odczytowej;

- przeprowadzenie w środowisku Cadence zestawu symulacji współbieżnych weryfikujących na poziomie projektu kompatybilność czujnika typu MEMS i układu elektroniki odczytowej;
- opracowanie zautomatyzowanego środowiska pomiarowego obecnie przeznaczonego do charakteryzacji struktury scalonej SBL_02, a w przyszłości umożliwiającego wydajne pomiary opracowywanych układów.

2.1. Symulacje współbieżne systemów heterogenicznych

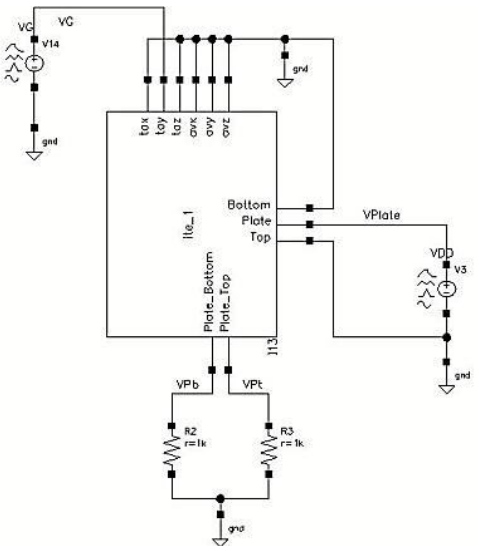
Systemy inteligentne SI, określane w literaturze również jako Smart Systems, obejmują zminiaturyzowane energooszczędne układy o rozbudowanej funkcjonalności, nierzadko wyposażone w mikromechaniczne elementy typu MEMS (Micro Electro-Mechanical Systems), służące do detekcji rozmaitych wielkości fizycznych, przetwarzania oraz transmisji danych. Systemy tego typu mogą być energetycznie autonomiczne. W celu zapewnienia tych funkcjonalności SI mają zintegrowane w jednej obudowie złożone heterogeniczne komponenty i takie podsystemy, jak dedykowane detektory/czujniki, moduły zarządzania energią, moduły zasilające, układy przetwarzania danych i łączności (również bezprzewodowej).

Zagadnienia związane z integracją konstrukcji i technologii różnego rodzaju sensorów (również mikromechanicznych) z układami elektronicznymi mają kluczowe znaczenie dla projektowania i wytwarzania nowoczesnych układów typu SI. Metodyka stosowana dziś podczas projektowania systemów inteligentnych w przeważającej części polega na niezależnym projektowaniu i wytwarzaniu poszczególnych modułów systemu zgodnych z pierwotną, ustaloną specyfikacją systemu. Dotyczy to zarówno modułów czujnikowych, jak i współpracujących z nimi układów elektroniki odczytowej. Jest to tradycyjna metodologia mająca zasadnicze wady począwszy od braku możliwości bieżącej weryfikacji, czy układ elektroniczny będzie poprawnie współpracował z czujnikiem w ramach danego systemu, skończywszy na zagadnieniach integracji obejmujących fizyczną weryfikację nieustannie rosnącej liczby wzajemnie na siebie wpływających czynników, takich jak zależności temperaturowe (wpływ temperatury generowanej przez grzejące się układy elektroniczne na właściwości sąsiadujących czujników i elektroniki).

Na rynku EDA/CAD istnieją dedykowane narzędzia do projektowania, symulacji, weryfikacji i optymalizacji poszczególnych elementów systemów inteligentnych. Wymienić tu należy oprogramowanie firmy Cadence (projektowanie, symulacja, synteza i weryfikacja analogowych, cyfrowych i mieszanych elektronicznych układów scalonych) czy CoventorWare, Comsol, Ansys przeznaczone dla układów typu MEMS. Podstawowym ograniczeniem tych narzędzi jest to, że są one niezależne i w ogólności nie wspierają wymiany danych. Wytworzenie układów scalonych zawierających układy elektroniczne oraz elementów typu MEMS nawet do celów testowych jest bardzo kosztowne. Dlatego przy projek-

towaniu i wdrażaniu do produkcji heterogenicznych systemów inteligentnych bardzo ważna jest możliwość przeprowadzenia weryfikacji całego systemu jeszcze na etapie projektowania (możliwość uwzględnienia sprzężenia zwrotnego między modułami na poziomie fizycznym). Wiele projektów finansowanych w ramach europejskich programów ramowych (np. projekt SMAC – Smart System Co-design, w którym ITE jest wykonawcą), jak i amerykańskich programów badawczych wspieranych przez DARPA (Defense Advanced Research Projects Agency) ma na celu opracowanie spójnej metody bądź platformy prowadzenia symulacji współbieżnych (*co-simulation*).

Realną perspektywę opracowania spójnej platformy daje intensywnie dziś rozwijany nowatorski pakiet oprogramowania MEMS+ firmy Coventor. Umożliwia on zbudowanie trójwymiarowego modelu struktury typu MEMS oraz przeniesienie opisanego matematycznie modelu do środowiska Cadence, w którym projektuje się układy elektroniczne i które jest wykorzystywane do prowadzenia symulacji współbieżnej całego systemu. W środowisku Cadence element MEMS jest dostępny do wykorzystania w projektowanym systemie SI w postaci symbolu umieszczanego na schemacie elektrycznym. Symbol wyposażony jest w dedykowane wejścia i wyjścia elektryczne umożliwiające podłączenie go do projektowanych modułów zawierających elektronikę. Dostępne są również elementy we/wy odpowiadające pobudzeniom mechanicznym, warunkom termicznym itd. Wcześniej tego typu modele struktur MEMS dla środowiska Cadence można było budować jedynie w postaci modeli pisanych w języku VerilogA. Były to zwykle modele uproszczone, podczas gdy weryfikacja poprawności SI z wysokim poziomem wiarygodności wymaga precyzyjnych modeli wszystkich składników systemu.

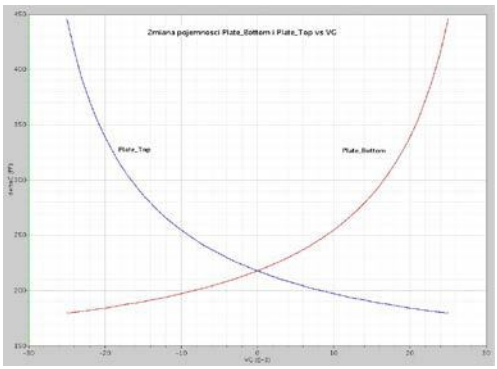


Rys. 1. Czujnik MEMS zaimportowany do środowiska Cadence w postaci „czarnej skrzynki" z odpowiednimi portami wejściowymi oraz wyjściowymi

Przeprowadzono symulację współbieżną, której celem była praktyczna weryfikacja stopnia kompatybilności środowisk MEMS+ i Cadence oraz teoretyczne sprawdzenie poprawności projektu systemu inteligentnego składającego się obecnie z czujnika MEMS oraz z układu dedykowanej elektroniki odczytowej (rys. 1). Do zbudowania przykładowego systemu wybrano pojemnościowy akcelerometr typu MEMS zrealizowany w oparciu o struktury grzebieniowe (*comb-drive*). Do eksperymentu wybrano istniejący czujnik, który wcześniej został zaprojektowany, przesymulowany i zoptymalizowany w ITE,

a następnie wytworzony w zewnętrznej fabryce (X-FAB) w ramach wcześniej prowadzonych projektów 7. Programu Ramowego UE. Wybrany czujnik został wykonany dla klienta z obszaru motoryzacji i wchodził w skład systemu do monitorowania konstrukcji pod kątem wibracji.

Główną częścią czujnika jest ruchoma masa sejsmiczna (*proof-mass*), zawierająca połączone ze sobą elementy grzebieniowe umożliwiające detekcję przemieszczenia masy ruchomej. Pomiar przemieszczenia polega na wykryciu i pomiarze zmiany pojemności między palcami struktur grzebieniowych (część ruchoma) i nieruchomym podłożem. Ruchoma masa wisi na sprężynach ulokowanych w narożnikach struktury sejsmicznej. Sprężyny są przymocowane do ramki referencyjnej. Czujnik jest symetryczny i ma wyprowadzenia elektrod przeznaczonych do podłączenia elektroniki odczytowej z możliwością podłączenia pętli sprzężenia zwrotnego. Podstawowe parametry czujnika to: zakres częstotliwości pracy – 0 ÷ 200 Hz, pojemność: pojedyncze pF, zasilanie: 12 V, zakres wykrywanych przyspieszeń: ± 10g. Do przeprowadzenia symulacji współbieżnej wybrano istniejący układ elektroniki odczytowej, który – podobnie jak wybrany czujnik – został zaprojektowany i zoptymalizowany w ITE, a wyprodukowany w ramach usługi MPW (Multi-Project Wafer). Symulację współbieżną systemu przeprowadzono w środowisku Cadence, do którego wczytano opracowany model czujnika MEMS i projekt układu elektroniki odczytowej (rys. 2).



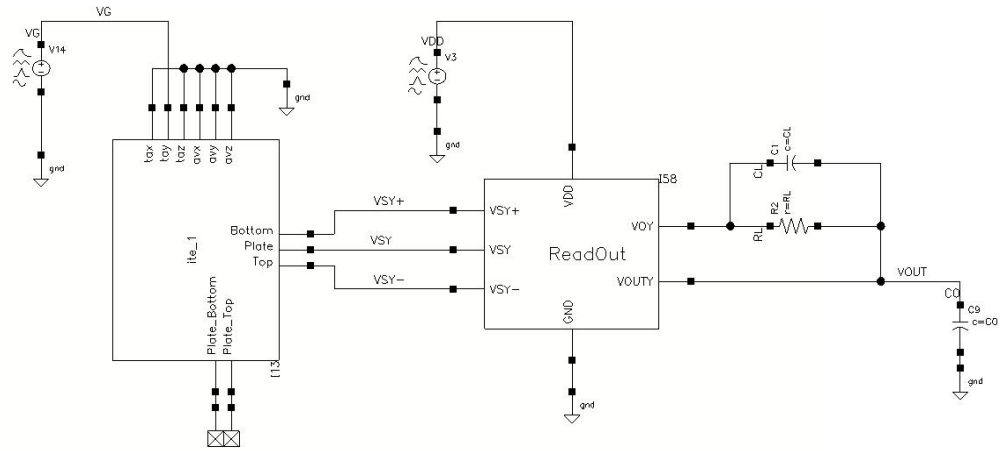
Rys. 2. Wynik symulacji współbieżnej czujnika przyspieszenia MEMS – zmiany pojemności między elektrodami czujnika podczas nadania przyspieszenia w kierunku Y

Model czujnika ma trzy wyprowadzenia elektryczne: Bottom, Top oraz Plate (masa sejsmiczna), które stanowią końcówki wewnętrznego dzielnika pojemnościowego umożliwiającego detekcję przyspieszenia. Model ma również napięciowe wejścia sterujące, wewnętrznie transformowane na przyspieszenia działające w różnych kierunkach. Wyjścia Plate_Bottom oraz Plate_Top przekazują informację o zmianach pojemności dzielnika pojemnościowego (μV/pF).

W ramach prowadzonych prac wykonano zestaw wzajemnie uzupełniających się symulacji współbieżnych. Wystąpiły istotne problemy związane z wysokim poziomem innowacyjności wykorzystywanego oprogramowania. Konieczne były konsultacje na poziomie implementacji systemu MEMS+ z producentem programowania i wprowadzenie przez producenta autorskich zmian w programie. Ostatecznie jednak symulacje zostały zakończone powodzeniem. Po wnikliwej interpretacji uzyskanych wyników stwierdzono, że czujnik zachowuje się prawidłowo. Zaobserwowano przesunięte w fazie o π/2 zmiany pojemności między elektrodami

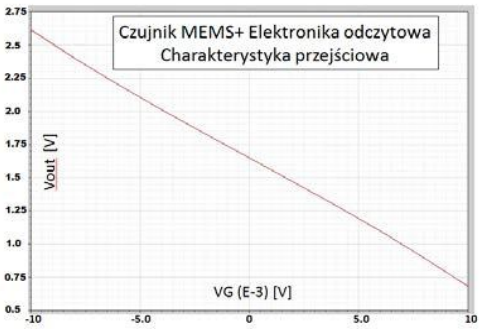
Plate_Top i Plate_Bottom dla napięcia sterującego na poziomie ± 25 mV. Zgodnie z oczekiwaniami i doświadczeniem uzyskana charakterystyka pojemnościowa jest silnie nieliniowa. Obszar pracy liniowej obejmuje zakres ± kilka mV, co odpowiada zakresowi przyspieszeń ± kilkadziesiąt G.

Wykonano także symulację współbieżną systemu składającego się z czujnika MEMS oraz dedykowanego układu odczytowego (rys. 3). Układ ten działa w trybie ciągłego pomiaru napięcia odkładającego się na pojemnościowym dzielniku z wykorzystaniem synchronicznej demodulacji AM ($f \sim 200$ kHz).



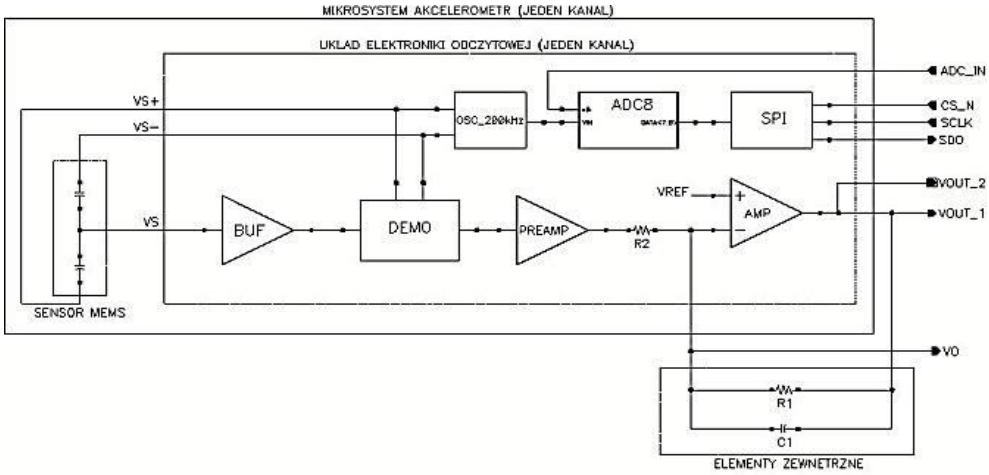
Rys. 3. Schemat systemu inteligentnego zawierającego czujnik przyspieszenia MEMS z dedykowanym układem odczytowym zaprojektowanym i wykonanym w ramach wcześniejszych projektów

Układ pracuje bez elektrostatycznej kompensacji wychylenia masy pomiarowej (*open loop*). W ramach symulacji współbieżnej określono charakterystykę przejściową systemu (rys. 4), wyrażającą zależność napięcia wyjściowego akcelerometru VOUT od napięcia sterującego (przyspieszenia) w zakresie ± 10 mV, zgodnie ze schematem ideowym przedstawionym na rys. 5.



Rys. 4. Charakterystyka przejściowa czujnika przyspieszenia MEMS

Przeprowadzone symulacje potwierdziły poprawność opracowanego modelu czujnika MEMS. Przetestowano metodologię symulacji współbieżnej, czego nie udało się przeprowadzić do tej pory, mimo że ITE podejmowało tego typu próby już wcześniej. Jest to niezmiernie ważne, ponieważ pozwala na bardziej wydajne oraz szybsze projektowanie systemów inteligentnych, a to oznacza oszczędność czasu, zmniejszenie liczby prób technologicznych, ograniczanie kosztów oraz zwiększenie konkurencyjności.



Rys. 5. Schemat ideowy układu odczytowego z czujnikiem MEMS

2.2. Projekt przetwornika analogowo-cyfrowego ΣΔ

Zaprojektowano przetwornik ΣΔ o następujących zakładanych parametrach:

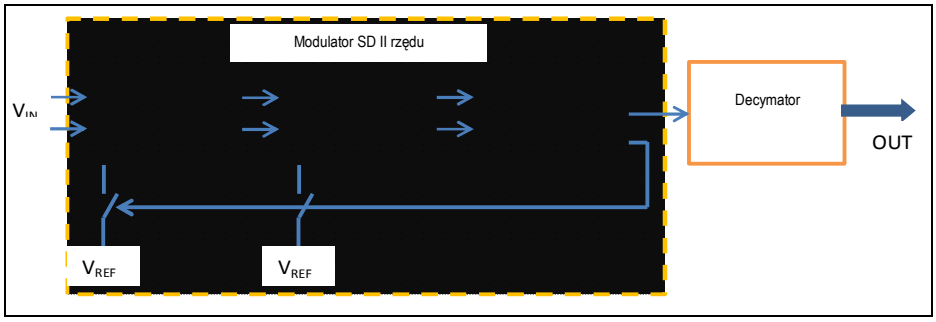
- pasmo sygnału przetwarzanego min. 3 kHz,
- rozdzielczość 14 bitów,
- maksymalna amplituda sygnału 1 V.

Do realizacji projektu wybrana została technologia LFoundry CMOS 0,15 μm, dla której napięcie zasilania wynosi 1,8 V.

Architektura układu modulatora

Przetwornik ΣΔ składa się z modulatora i decymatora (rys. 6). Modulator wytwarza ciąg impulsów o zmiennym wypełnieniu, zależnym od wartości napięcia wejściowego. Maksymalna częstotliwość impulsów jest połową częstotliwości sygnału próbkującego. Decymator przetwarza ciąg impulsów wyjściowych modulatora na słowo wielobitowe z częstotliwością nie niższą niż częstotliwość Nyquista, która jest równa podwójnej częstotliwości granicznej pasma sygnału. Ze względu na prostotę, niską wrażliwość na rozrzuty, a także stabilność wybrano do realizacji modulator drugiego rzędu (tj. zawierający dwa integratory) z jednobitowym kwantyzerem (przetwornik C/A, komparator) w pętli sprzężenia zwrotnego. Przy współczynniku nadpróbkowania równym 256, a więc dla częstotliwości próbkowania 2×3 kHz $\times$ 256 = 1536 kHz teoretycznie można uzyskać 16-bitową rozdzielczość.

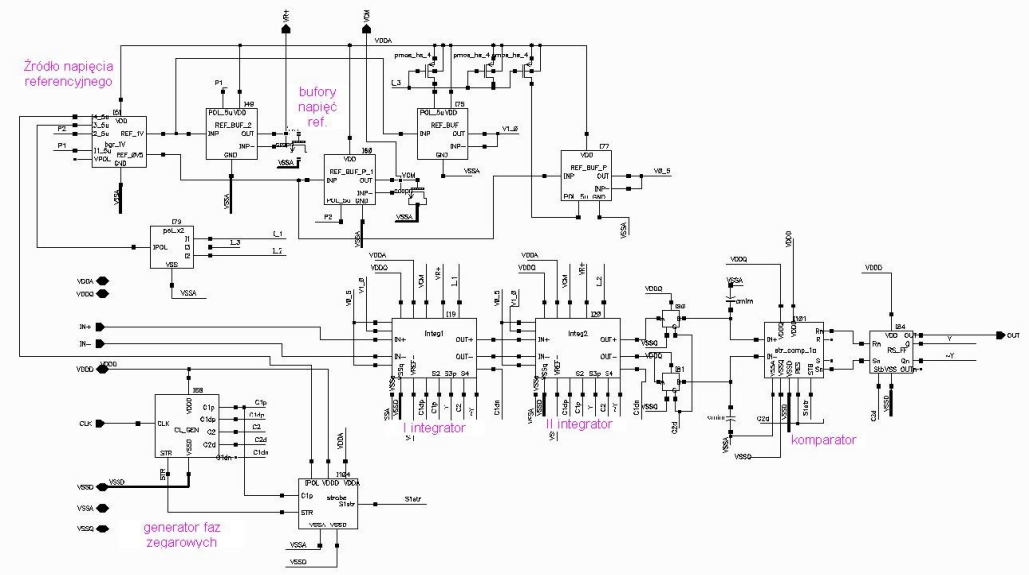
Jednak wartość ta jest obliczona dla modelu liniowego i tylko dla szumu kwantyzacji z pominięciem innych rodzajów szumu – cieplnego szumu próbkowania, szumu elektroniki i jittera przebiegu zegarowego, które podwyższając poziom szumu, obniżają zakres dynamiczny i rozdzielczość przetwornika. Nie uwzględnia także zakłóceń i wzajemnego przenikania sygnałów w obrębie układu scalonego, co



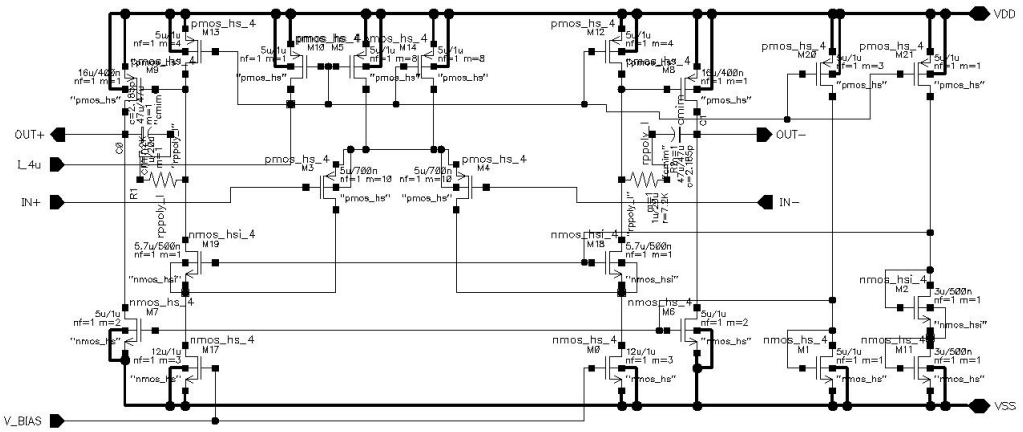
Rys. 6. Uproszczony schemat blokowy przetwornika cyfrowo-analogowego typu ΣΔ

także przyczynia się do obniżenia rozdzielczości. Poprawę rozdzielczości można uzyskać przez zastosowanie kwantyzera wielobitowego, jednak jednobitowy kwantyzer jest zawsze liniowy w przeciwieństwie do kwantyzerów wielobitowych, które mogą być nieliniowe i przez to pogarszać liniowość przetwornika. Z powodu niskiego napięcia zasilania i dość znacznych napięć U_{gs} tranzystorów p-kanałowych przyjęto poziom napięcia wspólnego (*common-modevoltage*) równy 0,5 V, napięcie referencyjne dodatnie równe 1 V, a ujemne na poziomie masy 0 V. Częstotliwość próbkowania ustalono na 2 MHz, tj. ok. 30% większą w celu uzyskania zapasu szerokości pasma sygnału przetwarzanego.

Integratory wchodzące w skład modulatora mogą być zrealizowane jako integratory o czasie ciągłym (CT, Continuous-Time) z przełączanymi pojemnościami (SC, Switched-Capacitances) i z przełączanymi prądami (SI). Pierwsze z nich są wrażliwe na rozrzuty produkcyjne, drugie cechuje prostota i niska wrażliwość na rozrzuty, trzecie są rzadko stosowane, a ponadto mają wejście prądowe, co powoduje konieczność dokładnego przetwarzania napięcia wejściowego na prąd.

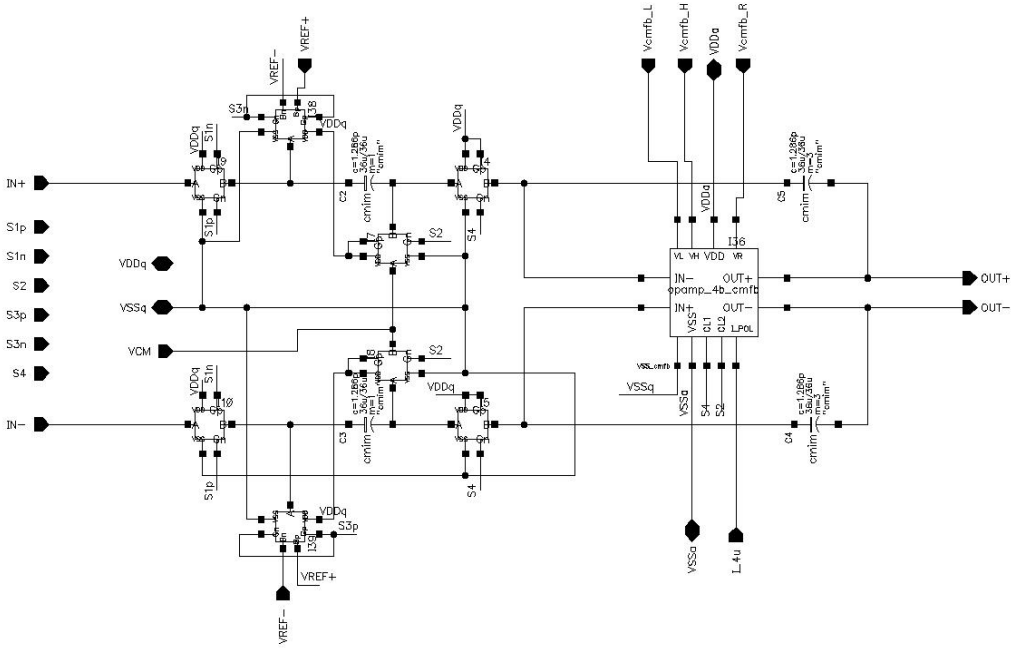


Rys. 7. Schemat modulatora ΣΔ II rzędu



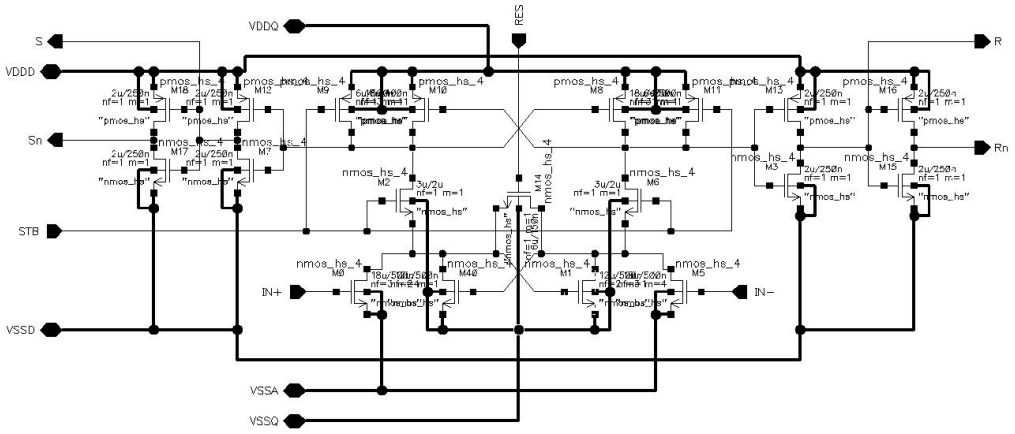
Rys. 8. Schemat elektryczny wzmacniaczy (OTA) w integratorach

Do realizacji został wybrany wariant SC. W układach SC duże znaczenie ma wartość pojemności próbkującej na wejściu, ponieważ pojedynczy klucz próbkujący wytwarza szum cieplny o mocy kT/C, gdzie C jest pojemnością kondensatora ładowanego. Klucze próbkujące drugiego integratora mają dużo mniejsze znaczenie i ich szum może być pominięty. Szum cieplny wytwarzany w pierwszym integratorze musi być mniejszy od szumu kwantyzacji, by nie pogarszać nadmiernie stosunku sygnał/szum i rozdzielczości. To wymaganie określa minimalną wartość wejściowych pojemności próbkujących (są dwie, gdyż układ ma architekturę różnicową).



Rys. 9. Schemat elektryczny integratora

Przyjmując SNR_{kwant} = 95 dB, poziom sygnału –3 dB poniżej sygnału maksymalnego (1 V) i moc szumu na poziomie 75% oraz stosując przybliżoną (dla $OSR >> 1$) zależność na szum termiczny próbkowania w pierwszym integratorze $P_{szterm} = 4kT/C_s \times OSR$, dostajemy $C_s \times OSR > 210 \times 10^{-12}$. Dla OSR = 256 $C_{s\min} = 0{,}82$ pF. Ze względu na możliwe rozrzuty przyjęto C_{s1} = 1,3 pF. W modulatorach ΣΔ wzmocnienia integratorów SC zawierają się zwykle w granicach 0,2 ÷ 0,6, przy czym wzmocnienia kolejnych integratorów są narastające. Przyjęto wzmocnienie I integratora = 0,33; $C_{i1} = 3 \times C_{s1}$ = 3,9 pF i wzmocnienie II integratora = 0,5. W drugim integratorze, którego szum termiczny próbkowania ma znacznie mniejsze znaczenie, zastosowano mniejsze pojemności: C_{s2} = 0,9 pF, $C_{i2} = 2 \times C_{s2}$ = 1,8 pF. Zasadniczą częścią integratorów są wzmacniacze transkonduktancyjne w układzie zagiętej kaskody (*folded cascode*) ze stopniami wyjściowymi. *SR* wynosi ok. 5 V/μs, co jest wystarczające przy napięciach referencyjnych ± 0,5 V i wzmocnieniu I integratora równym 0,33 oraz częstotliwości próbkowania 2 MHz.



Rys. 10. Schemat elektryczny komparatora

Wzmocnienie niskoczęstotliwościowe wynosi 92 dB, pole wzmocnienia GBW = = 11 MHz, a margines fazy 67°. Wzmacniacz ma kluczowany układ regulacji składowej wspólnej napięć na wyjściach (CMFB) utrzymujący napięcie stałe na każdym wyjściu na poziomie ok. 1 V. Źródło napięcia referencyjnego typu bandgap wytwarza napięcia 0,5 V i 1 V w stosunku do masy (0 V) układu. Po buforowaniu są one wykorzystywane jako poziom wspólny (*common mode voltage*) oraz napięcie referencyjne +0,5 V w stosunku do V_{cm}. Masa 0 V stanowi poziom ujemnego napięcia referencyjnego –0,5 V względem V_{cm}. Napięcia te, po oddzielnym buforowaniu, są także wykorzystane przez układy CMFB we wzmacniaczach. Funkcję kwantyzera jednobitowego spełnia komparator zatrzaskowy, który w określonych momentach czasowych dokonuje porównania napięć z wyjścia II integratora i zapamiętuje wynik tego porównania w przerzutniku RS. Przebiegi wyj-

ściowe sterują kluczami dołączającymi w odpowiedni sposób napięcia odniesienia do wejść integratorów. Sygnały sterujące kluczami w układach próbkujących integratorów są wytwarzane w układzie generującym cztery fazy zegarowe oraz sygnał strobowania dla komparatora.

Filtr decymacyjny

Filtr decymacyjny (decymator) stanowi część cyfrową przetwornika ΣΔ odpowiedzialną za transformację sygnału wyjściowego modulatora na wielobitowy sygnał wyjściowy wysokiej rozdzielczości. Decymator spełnia dwie podstawowe funkcje:

- filtracja wysokoczęstotliwościowych szumów kwantyzacji generowanych w procesie modulacji ΣΔ (*noise-shaping*) (operacja jest równoznaczna ze zwiększeniem rozdzielczości sygnału wyjściowego i konieczna przed obniżeniem częstotliwości próbkowania);
- obniżenie częstotliwości próbkowania sygnału wyjściowego (*down-sampling*) do częstotliwości bliskiej częstotliwości Nyquista, przy jednoczesnym zwiększeniu rozdzielczości z jednobitowej do wielobitowej.

W układach ΣΔ jako decymatory powszechnie stosowane są filtry typu CIC (Cascaded Integrator Comb). Jest to zoptymalizowana klasa filtrów cyfrowych FIR, charakteryzująca się brakiem operacji mnożenia (wszystkie współczynniki filtru mają wartość 1), co radykalnie obniża koszty implementacji sprzętowej filtru.

Projekt filtru decymacyjnego wykonano w oparciu o zestaw narzędzi CAD z pakietów MATLAB, Synopsys i Cadence.

Podstawowe cechy i parametry zaprojektowanego decymatora:

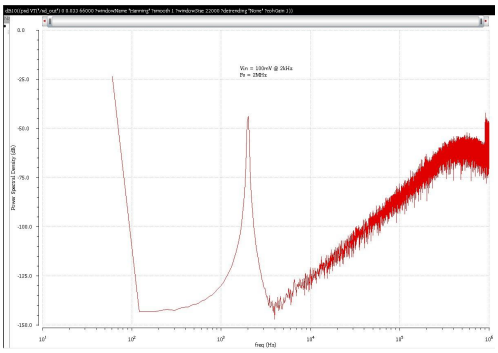
- filtr CIC trzeciego rzędu
- pasmo przepustowe 2 kHz,
- częstotliwość próbkowania 2 MHz,
- współczynnik decymacji 128,
- minimalne tłumienie w paśmie zaporowym 40 dB,
- częstotliwość sygnału wyjściowego 15,625 kHz,
- rozdzielczość wyjściowa 14 bitów (uzupełnienie do 2),
- wyjściowy interface szeregowy interface SPI.

Symulacje

Przeprowadzone zostały symulacje DC, AC i czasowe bloków, a następnie symulacje czasowe modulatora dla różnych amplitud przebiegów sinusoidalnych i liniowych. Zasadnicza jest analiza spektralna wyjściowego ciągu impulsów uzyskanych dla wejściowego niskoczęstotliwościowego przebiegu sinusoidalnego z zakresu częstotliwościowego przetwarzanych sygnałów (rys. 11). Ponieważ konieczne jest symulowanie działania dla kilkudziesięciu okresów, więc analiza czasowa trwa bardzo długo (kilka dni) i generuje wynikowy plik o objętości kilku gigabajtów. Dla zaprojektowanego układu przeprowadzono analizę dla sinusoidy

o częstotliwości f = 2 kHz, amplitudzie 100 mV i czasie trwania równym 66 okresom przebiegu wejściowego (66000 próbek).

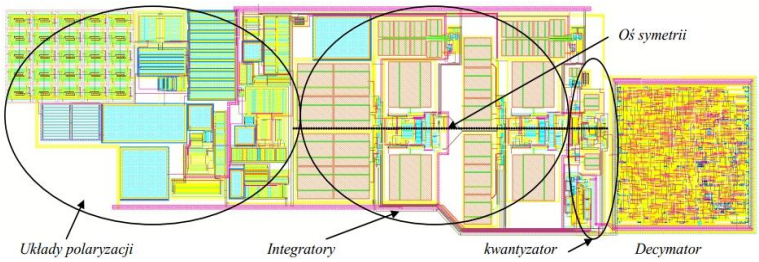
Otrzymano wykres spektralny z prążkiem dla częstotliwości podstawowej 2 kHz i tłem szumów o poziomie poniżej –140 dB, co czyni zadość wymaganiom.



Rys. 11. Wynik analizy spektralnej przebiegu wyjściowego modulatora dla f = 2 kHz, U_p = 100 mV, n = 66000

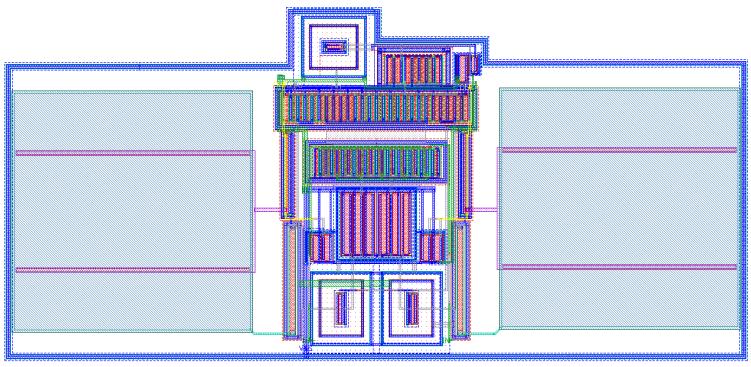
Topografia układu

W projekcie topografii (rys. 12) są wydzielone trzy domeny zasilania i masy: dla układów analogowych (A), cyfrowych (D) i mieszanych (Q). Bloki cyfrowe CL_GEN oraz Decim zostały odizolowane od reszty układu za pomocą szerokich pierścieni z wysp typu N podłączonych do VDDQ, co powinno zmniejszyć zakłócenia propagowane przez podłoże układu.



Rys. 12. Projekt topografii przetwornika ΣΔ II rzędu

Warunkiem właściwego działania układu jest zminimalizowanie offsetu różnicowych wzmacniaczy operacyjnych (rys. 13). W tym celu zapewniono symetrię sygnałów różnicowych przetwarzanych przez wzmacniacze w obu integratorach oraz *matching* tranzystorów poprzez zastosowanie struktur typu *dummy* we wzmacniaczu. To wymaganie miało decydujący wpływ na topografię całości układu o wymiarach 240 μm × 840 μm.



Rys. 13. Projekt topografii wzmacniacza operacyjnego do integratorów

Projekt topografii przetwornika ΣΔ wykonano w systemie *Cadence*, korzystając z programów wspomagania projektowania: *Layout XL, Assura DRC* i *LVS*.

2.3. Zautomatyzowane środowisko pomiarowe przeznaczone do charakteryzacji struktury scalonej SBL_02

Stanowisko pomiarowe jest przeznaczone do wyczerpujących parametrycznych pomiarów charakteryzacyjnych poszczególnych bloków tworzących scaloną strukturę próbną. Składa się ze zdalnie sterowanych przyrządów pomiarowych, dedykowanej płyty pomiarowej – specjalnie opracowanego układu elektronicznego oraz komputera PC z programem napisanym w środowisku LabView, który steruje pracą zarówno przyrządów i płyty, odpowiadając za konfigurację toru pomiarowego i zbieranie wyników pomiarów.

Głównym celem pomiarów na stanowisku jest zbadanie rozrzutów parametrów zaprojektowanej struktury. Wykonano pomiary wielu zmontowanych prototypów układów scalonych. Niektóre z pomiarów, oprócz zadanych parametrów elektrycznych (np. napięcia zasilania, prądu obciążenia, wartości słowa konfiguracyjnego), powtarzane były także w funkcji temperatury (w komorze klimatycznej).

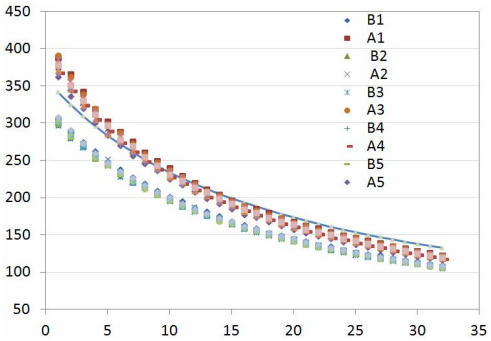
Opracowanie stanowiska pomiarowego znacznie zmniejszyło nakłady pracy związane ze żmudnymi, seryjnymi pomiarami, a także przyczyniło się do lepszego poznania parametrów zaprojektowanej struktury scalonej/prototypów układów scalonych. Zebrane doświadczenia zostaną wykorzystane przy pomiarach kolejnych struktur zaprojektowanych w Zakładzie.

Pomiary układów zawartych w strukturze testowej SBL_02

Struktura SBL_02, wykonana w technologii LFoundry CMOS 0,15 µm, zawiera oscylator oraz komórki do zastosowania w układach zasilania: źródło referencyjne, regulator napięcia, źródła prądów referencyjnych oraz układ POR.

Oscylator

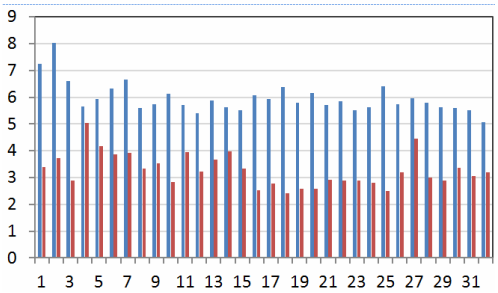
Na podstawie uzyskanych wyników symulacji i pomiarów przeprowadzonych dla wszystkich 11 chipów dla dwóch wariantów oscylatora (rys. 14) można stwierdzić, że działają one zgodnie z przewidywaniem i w obu przypadkach częstotliwość można dostroić do żądanej wartości w zakresie 140 ÷ 260 MHz. Warto pokreślić, że wszystkie struktury działały poprawnie, co pozwala mówić o uzysku 100%. Wariant A oscylatora zbudowany został z komórek opóźniających, zawie-



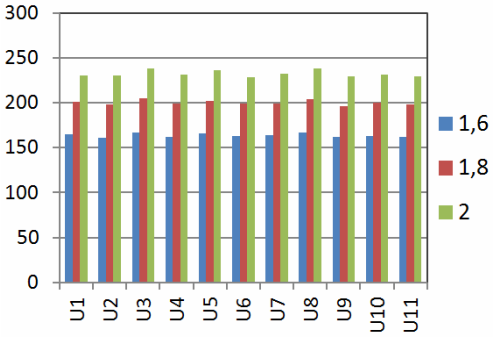
Rys. 14. Zależność częstotliwości (MHz) od wartości słowa strojącego (wszystkie układy)

rających tranzystory o długości kanału dwa razy mniejszej niż wariant B – odpowiednio 150 nm i 300 nm. Pozwala to na porównanie wielkości rozrzutów technologicznych w obu przypadkach. Na wykresie (rys. 15) przedstawiono $(F_{max}-F_{min})/F_{max}$ w procentach, gdzie F_{min} i F_{max} są wartością najmniejszą i największą spośród zmierzonych na wszystkich chipach dla danej wartości słowa. Uśredniona wartość rozrzutu częstotliwości dla wariantu A to 5,06%, a dla wariantu B 3,27%, co jest dobrym wynikiem dla technologii 150 nm, pozwalającym na wykorzystanie tego oscylatora w wielu zastosowaniach

Zmierzono ponadto (dla wariantu A) zmiany częstotliwości 200 MHz dla trzech napięć zasilania (słowo strojące jednakowe dla wszystkich chipów) – rys. 16. Dla napięcia 1,8 V częstotliwość układów zawiera się w przedziale 197,8 ÷ 204,4 MHz.



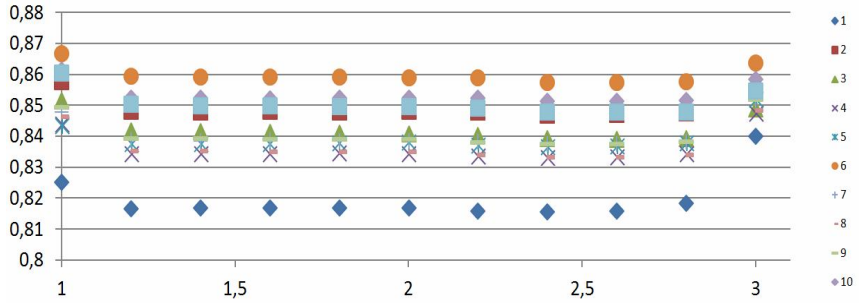
Rys. 15. Względny rozrzut częstotliwości (%) dwóch wariantów oscylatora w całym zakresie częstotliwości (wszystkie słowa strojenia)



Rys. 16. Częstotliwości dla wybranego słowa (200 MHz) dla 11 chipów i trzech napięć zasilania

Komórki analogowe do zastosowań w obwodach zasilania układów scalonych

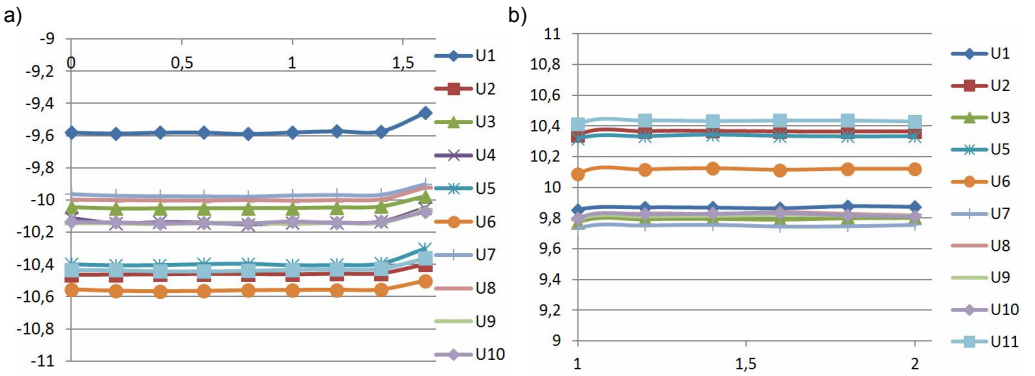
Zmierzono 11 układów otrzymanych od wytwórcy zamkniętych w obudowie DIP48. Uzyskane rozrzuty produkcyjne napięcia referencyjnego mieszczą się w przedziale 0,815 ÷ 0,86 V (rys. 17), a więc wynoszą 45 mV. Jest to dobra wartość (w literaturze odchyłki dla tego typu źródeł wynoszą ± 50 mV). Zmiana napięcia referencyjnego od napięcia zasilania w zakresie 1,2 ÷ 2,2 V jest mniejsza od 1 mV. W wykonywanej wcześniej strukturze SBL_01 uzyskano rozrzut napięcia referencyjnego równy 10 mV, ale dla próbki trzech układów.



Rys. 17. Wyniki pomiarów napięcia referencyjnego w funkcji napięcia zasilania (11 układów)

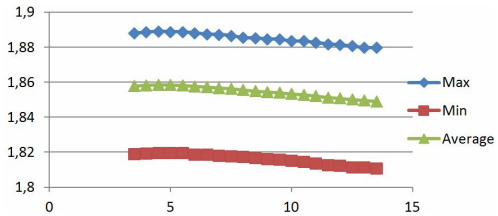
W strukturze SBL_02 źródła prądów referencyjnych mają ulepszoną konstrukcję, która umożliwia ustawienie wartości prądu 10 μA ± 0,5 μA za pomocą trójbitowego słowa sterującego (rozrzuty produkcyjne dają odchyłki do ok. 25% typowej wartości).

Ponadto powiększona została rezystancja wyjściowa źródeł. Dla źródła prądu wypływającego i słowa <D> = 100 uzyskano rozrzut wartości w zakresie 9,6 ÷ ÷ 10,6 μA (rys. 18b), co może być skorygowane w dół słowem <D>.



Rys. 18. Wyniki pomiarów referencyjnego prądu wypływającego (a) i wpływającego w funkcji napięcia na wyjściu

Zmiany prądu w funkcji napięcia wyjściowego dla zakresu 0 ÷ 1,4 V wynoszą ok. 12 nA/V, a więc są znacznie mniejsze niż dla układu ze struktury SBL_01 (ok. 150 nA/V). Dla źródła referencyjnego prądu wpływającego i słowa korekcyjnego <D> = 100 otrzymano rozrzut wartości między 9,73 ÷ 10,41 μA (11 układów badanych), a zmiany prądu od napięcia na wyjściu w zakresie 0,2 ÷ 1,2 V są nie większe niż 24 nA/V, podczas gdy w strukturze SBL01 wynosiły ok. 3 μA/V. Uzyskano znacznie lepsze parametry obu źródeł prądów referencyjnych.



Rys. 19. Napięcie wyjściowe regulatora w funkcji prądu wyjściowego

W regulatorze napięcia w strukturze SBL_02 powiększony został tranzystor szeregowy. Mimo to w pomiarach nie stwierdzono zmniejszenia rezystancji wyjściowej, która wynosi ok. 1,2 μΩ w zakresie mierzonych prądów wyjściowych 5 ÷ 13 mA (rys. 19).

Zmierzone wartości napięcia wyjściowego dla kolejnych słów sterujących są zbliżone do oczekiwanych (1,7 V; 1,85 V; 2,0 V; 2,15 V) dla <A> = 00 średnio 1,702 V, a nieco zawyżone dla pozostałych słów: średnio 1,865 V; 2,028 V; 2,189 V (dla U_{DD} = 2,4 V). Układ POR wykazuje rozrzuty punktów przełączeń zależne od słowa programującego i wynoszące do 150 mV, co wynika z rozrzutu napięcia referencyjnego. Histereza wynosi ok. 50 ÷75 mV, a napięcia punktów wyłączenia są o co najmniej 100 mV wyższe od napięcia stabilizowanego z regulatora, co

zabezpiecza przed spadkiem napięcia stabilizowanego w wyniku spadku napięcia zasilającego.

3. Krajowe projekty badawcze

3.1. THzOnLine Wielopikselowy detektor promieniowania THz zrealizowany z wykorzystaniem selektywnych tranzystorów MOS i jego zastosowanie w biologii, medycynie i systemach bezpieczeństwa

Celem projektu nie jest pojedynczy detektor (*pixel*), lecz linijka lub matryca detekcyjna do zastosowań w spektrometrii w paśmie THz. Dlatego układ odczytowy do detektora musi być wykonany w technice monolitycznej, z minimalną liczbą zewnętrznych elementów. W pierwszym roku trwania projektu opracowano, wysłano do produkcji i zmierzono dwa specjalizowane układy scalone pełniące funkcję wzmacniaczy odczytowych do detektorów NMOS promieniowania THz. Oprócz tego powstały trzy układy pomiarowe służące do ich badań laboratoryjnych w zakresie charakteryzacji, jak i testowania w docelowym zastosowaniu, tj. ze źródłem i detektorem THz.

Oba zaprojektowane układy scalone bazują na pomyśle tzw. wzmacniacza z przetwarzaniem (*chopper amplifier*). Znacznie łatwiej jest zbudować dobrej jakości wzmacniacz sygnału zmiennego niż wzmacniacz składowej stałej. Stąd też we wzmacniaczu z przetwarzaniem wejściowe napięcie stałe zamieniane jest w ciąg impulsów (np. wykorzystując typowe klucze CMOS). Powstały sygnał zmienny jest wzmacniany we wzmacniaczu AC, po czym jest demodulowany/prostowany, aby otrzymać składową stałą. Takie podejście ma dwie zalety. Po pierwsze niwelowany jest wpływ napięcia niezrównoważenia (jest to tzw. dynamiczna kompensacja offsetu dokonywana podczas pracy wzmacniacza), po drugie znacząco są ograniczone szumy $1/f$, czyli zakłócenia, których widmowa gęstość mocy rośnie wraz ze spadkiem częstotliwości. Dla sygnałów stałych (wolnozmiennych) to właśnie szumy $1/f$ dominują nad drugim potencjalnym źródłem zakłóceń, a więc szumami termicznymi. Ze względu na te zalety wybrano architekturę wzmacniacza z przetwarzaniem.

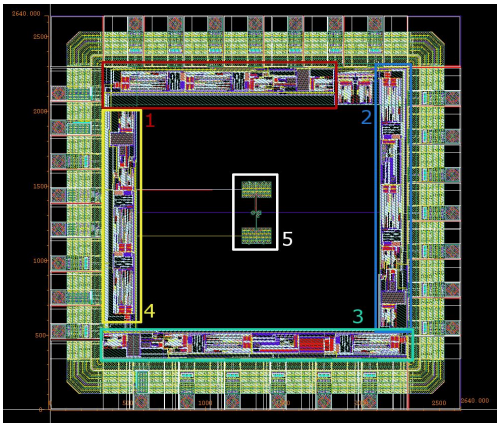
Pierwszy scalony układ odczytowy

Bazując na wzmacniaczu z przetwarzaniem wykonano kompleksowy projekt układu odczytowego. Użyto w tym przypadku procesu technologicznego AMS C35B4 o wymiarze charakterystycznym 350 nm. Z uwagi na dużą minimalną płatną powierzchnię układu wykonanego w ramach MPW serwisu Europractice oraz fakt, że projekt pierwszej wersji układu miał charakter eksperymentalny, uzasadnione było zrealizowanie kilku wersji proponowanej architektury, a potem wybranie spośród nich optymalnej.

W ramach jednego chipu zostały opracowane trzy wersje wzmacniacza z przetwarzaniem. Są to układy działające niezależnie od siebie, a cała struktura i apli-

kacja pomiarowa zostały zaprojektowane tak, aby użytkownik mógł wybrać, która wersja wzmacniacza ma być w danym momencie aktywna i tylko ją testować. Poszczególne wersje układów różnią się od siebie realizacją wzmacniacza AC, architektury modulatora i demodulatora są identyczne dla wszystkich trzech realizacji. Najprostszy z wariantów zawiera dwa stopnie wzmacniacza AC o skokowo przełączanym wzmocnieniu (PGA), w kolejnym dodano możliwość zmiany składowej stałej wewnątrz układu, najbardziej skomplikowany wariant ma dodatkowo człon o liniowo regulowanym wzmocnieniu (VCA). Modulator stanowiący pierwszy blok toru zbudowano w oparciu o klucze CMOS. Jako demodulator zastosowany został układ próbkująco-pamiętający. W celu minimalizacji zakłóceń zdecydowano, że sygnały sterujące dla modulatora i demodulatora (wymagana ścisła zależność czasowa) będą generowane przez typowe układy CMOS 40XX umieszczone na płytce drukowanej, a nie zaś przez blok umieszczony we wnętrzu układu scalonego.

Na rys. 20 przedstawiono pełną topografię zaprojektowanego układu wraz z komórkami wejścia/wyjścia. Numerami 1–3 oznaczono kolejne wersje zaprojektowanego układu odczytowego. Z uwagi na fakt, że ich łączna powierzchnia jest dużo mniejsza od minimalnej płatnej powierzchni (7 mm^2), zdecydowano się dołączyć do struktury detektor nMOS wraz z anteną (5), podłączony do najprostszej wersji układu odczytowego (4). Detektor bazuje na strukturze zaprojektowanej w ramach poprzedniego projektu w technologii ITE CMOS. Aby dostosować go do reguł procesu AMS C35, poddano go wielu modyfikacjom. Wszystkie wersje układu odczytowego (1÷4) zostały zaekranowane warstwą metalizacji podłączonej na stałe do najniższego potencjału.



Rys. 20. Zaprojektowana struktura o wymiarach 2,64 mm × 2,64 mm

Przeprowadzenie pomiarów pierwszego scalonego wzmacniacza odczytowego wymagało wykonania dwóch układów pomiarowych, różniących się konstrukcją z uwagi na specyfikę zastosowania. Pierwszy z nich służył do charakteryzacji trzech wersji konstrukcyjnych wzmacniacza odczytowego umieszczonych w prototypowym układzie scalonym. Zawierał on liniowe regulatory napięcia dostarczające zasilanie do badanego układu oraz bloków pomocniczych, generatory przebiegów sterujących modulatora i demodulatora oraz wzmacniacze pomocnicze. Przy doborze elementów oraz konstrukcji układu pomiarowego specjalną uwagę zwrócono na minimalizację zakłóceń. Całość konstrukcji została zamknięta w obudowie wykonanej na bazie odlewu Al-Mg, na której ściankach umieszczono gniazda, przełączniki oraz gałki potencjometrów. Aby uniknąć zakłóceń propa-

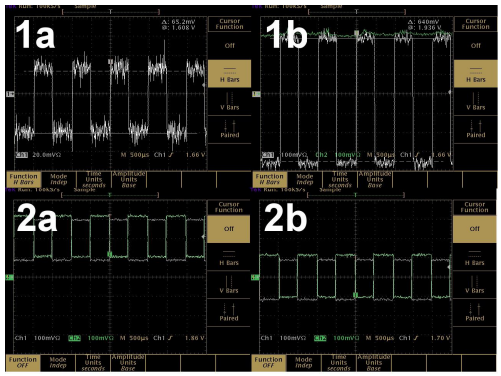
gowanych przez sieć energetyczną, zdecydowano się na zasilanie z akumulatora dołączanego z zewnątrz.

Istotnym zadaniem było wykonanie niskoszumnego źródła sygnału stałego regulowanego w zakresie do 5 mV. Wykorzystanie półprzewodnikowego źródła napięcia odniesienia (typowo 1,25 ÷ 5 V) wymagałoby użycia dzielnika rezystancyjnego o bardzo dużym stopniu podziału, a zatem dużej rezystancji wyjściowej, co dodatkowo negatywnie wpłynęłoby na własności szumowe wzorca. Zastosowano tu nietypowe rozwiązanie oparte na dwóch termoparach typu J połączonych przeciwsobnie, z których jedna utrzymywana jest w stałej temperaturze, podczas gdy druga jest podgrzewana zestawem rezystorów mocy.

Drugi układ pomiarowy był wykorzystywany do pomiarów wzmacniaczy w warunkach bliskich docelowemu zastosowaniu, tj. wraz ze źródłem oraz detektorem promieniowania THz. Ma on postać kompletnego urządzenia (wraz z wbudowanymi akumulatorami) przystosowanego do umieszczenia w torze optycznym. Dzięki modularnej budowie (płytki drukowane łączone za pomocą złączy wielostykowych) możliwe jest łatwe wykonanie pomiarów dla kilku wersji konstrukcyjnych układu, z detektorem wbudowanym w strukturę lub też z dołączonym detektorem zewnętrznym. W ten sposób przetestowano wersję układu z wbudowanym detektorem, a także dwa warianty konstrukcyjne podłączone do zewnętrznego detektora wykonanego w procesie technologicznym ITE – wzmacniacz o skokowo regulowanym wzmocnieniu oraz wzmacniacz o skokowo i liniowo regulowanym wzmocnieniu z kompensacją offsetu.

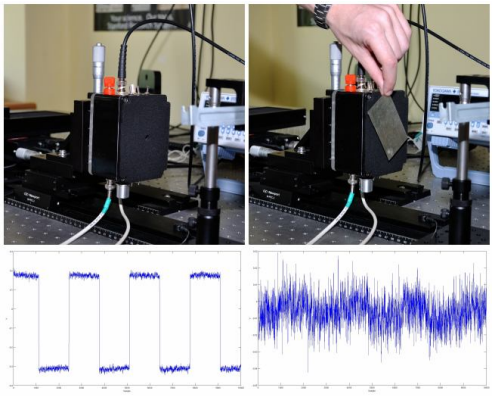
Wyniki pomiarów pierwszego scalonego wzmacniacza odczytowego

Pomiarów fizycznie wykonanej struktury dokonano w dwóch turach. Najpierw zbadano podstawowe właściwości elektryczne układu z regulowanym źródłem napięciowym na wejściu. Na rys. 21 pokazano wybrane oscylogramy przedstawiające sygnał wejściowy demodulatora (przebieg prostokątny).



Rys. 21. Wybrane oscylogramy zarejestrowane podczas pomiarów struktury

Oscylogramy 1a i 1b przedstawiają regulację skokową wzmocnienia dla układu 1 w zakresie 100/1000 (a→100, b→1000). Oscylogramy 2a i 2b pokazują regulację poziomu składowej stałej sygnału za pomocą jednego z sygnałów sterujących. Sygnałem rejestrowanym na oscylogramach był sygnał wejściowy demodulatora (prostokątny), a nie wyjściowy (stały), gdyż podczas pierwszych testów okazało się, że wskutek podłączenia do wyjścia demodulatora znacznej pojemności (np. kabla pomiarowego) układ zaczynał oscylować.



Rys. 22. Badany sygnał przy detektorze oświetlonym promieniowaniem THz (lewy) oraz bez promieniowania (prawy)

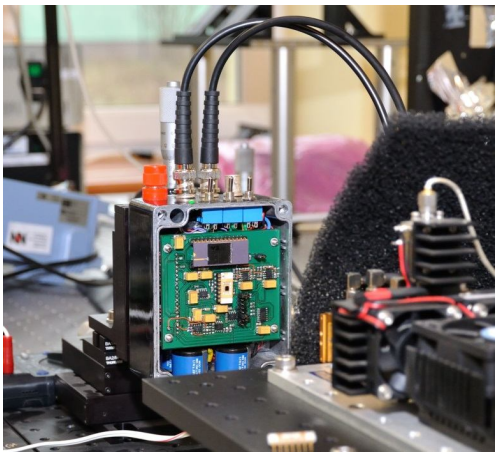
Druga tura pomiarów odbyła się w Instytucie Optoelektroniki WAT. Zbadano współpracę zaprojektowanych układów odczytowych z zewnętrznie dołączonym detektorem promieniowania THz. Przykładowe wyniki pokazano na rys. 22.

Ponownie obserwowano sygnał prostokątny z wejścia demodulatora. Widać, że układ reaguje na obecność promieniowania THz, zatem poprawnie współpracuje z detektorem THz. Oscylogram po prawej stronie (bez sygnału użytecznego) zdjęto dla większej wartości wzmocnienia.

Układ pomiarowy ze wzmacniaczem selektywnym

W tej konstrukcji wykorzystano obserwacje poczynione podczas pomiarów układu odczytowego wraz z detektorem i źródłem promieniowania THz. Zauważono wówczas znaczny wpływ ograniczenia pasma poprzez pojemności przyłączone na wejściu układu (a zatem na wyjściu detektora) na poziom szumów na wyjściu całego toru. Wzmacniacze zastosowane w torze wzmacniacza z przetwarzaniem, zrealizowanego w pierwszym scalonym układzie odczytowym, charakteryzują się płaską charakterystyką częstotliwościową w paśmie od DC do ok. 2 MHz. Z uwagi na to, że użyteczną informację niesie tylko sygnał o częstotliwości modulatora (oraz kilka jego niskich harmonicznych), postanowiono zastosować filtrację dolno- i górnoprzepustową i w ten sposób pozbyć się znacznej części zakłóceń.

Zdecydowano się wykorzystać modulator oraz pierwszy stopień wzmocnienia zawarty w pierwszym scalonym układzie odczytowym, co pozwoliło uniknąć tworzenia od podstaw całego toru selektywnego wzmacniacza z przetwarzaniem. Komplementarne wyjścia tego stopnia są dostępne poprzez końcówki diagnostyczne układu scalonego. Reszta toru została dobudowana przy wykorzystaniu precyzyjnych, niskoszumnych wzmacniaczy operacyjnych i zawierała dwie pary odwracających wzmacniaczy AC realizujących filtrację dolnoprzepustową, poprzedzonych filtrami górnoprzepustowymi. Elementy bierne dobrano tak, aby uzyskać tłumienie sygnału poniżej częstotli-



Rys. 23. Układ pomiarowy selektywnego wzmacniacza z przetwarzaniem

wości kluczowania (200 kHz) oraz powyżej jej trzeciej harmonicznej. Wzmocniony sygnał był demodulowany w strukturze zrealizowanej na kluczach CMOS, podobnej do tej zastosowanej w modulatorze. Tor kończył się filtrem dolnoprzepustowym usuwającym resztki składowej zmiennej. Układ został wykonany w formie kompletnego urządzenia przeznaczonego do umieszczenia w torze optycznym. Pomiary wykazały słuszność przyjętego rozwiązania. Na rys. 23 pokazano widok układu pomiarowego w torze optycznym (usunięta przednia ścianka).

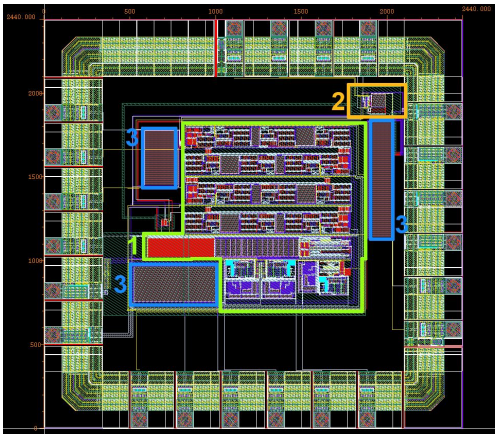
Druga wersja układu odczytowego

Punktem wyjścia przy projekcie drugiej wersji układu odczytowego były wnioski i spostrzeżenia z projektu wersji pierwszej. Po uzyskaniu potwierdzenia co do zasadności wykorzystania architektury wzmacniacza z przetwarzaniem skupiono się na wyeliminowaniu napotkanych problemów.

Z uwagi na podwyższony poziom szumów na wyjściu pierwszej wersji scalonego układu odczytowego zdecydowano się na zmianę struktury wzmacniacza AC. W celu minimalizacji zakłóceń ograniczono pasmo częstotliwościowe przetwarzanego sygnału, tworząc w ten sposób wzmacniacz selektywny. Drugim problemem do rozwiązania było wzbudzanie się układu demodulatora. Z tego względu zdecydowano się na całkowitą zmianę jego architektury i zastąpienie układu próbkująco-pamiętającego układem przełączającym (tożsamym z modulatorem) oraz filtrem dolnoprzepustowym. Zmianie uległa częstotliwość przetwarzania sygnału. Poprzednio wynosiła ona 1 kHz, w tej wersji układu – z uwagi na konieczność konstrukcji filtrów analogowych w formie scalonej – została podniesiona do 200 kHz.

Wzmacniacz sygnału AC w drugiej wersji układu odczytowego został zaprojektowany jako wzmacniacz selektywny. Jest to filtr pasmowo-zaporowy o regulowanej wartości wzmocnienia i częstotliwości środkowej 200 kHz. W układzie zastosowano zmodyfikowaną wersję filtru Gm-C, w którym indukcyjność o wartości niemożliwej do realizacji scalonej została zastąpiona żyratorem obciążonym pojemnością. Cały wzmacniacz selektywny składa się z czterech filtrów *Gm-C* o wzmocnieniu 10 każdy, połączonych ze sobą szeregowo, przy czym trzy z nich mogą być odłączane i dołączane od/do toru sygnałowego. Dzięki temu za pomocą pewnych zewnętrznych sygnałów sterujących wpływać można na wartość wzmocnienia całego układu i ustawiać ją na wybraną wartość z zakresu 10/1000/10000/100000. Układ próbkująco-pamiętający z pierwszej wersji układu odczytowego został zastąpiony przez powtórzony układ modulatora (cztery przełączane klucze CMOS) oraz filtr DP.

Filtr DP zrealizowany został jako prosty filtr aktywny drugiego rzędu, a duże (jak na układ scalony) wartości użytych elementów biernych pozwoliły uzyskać częstotliwość graniczną w okolicach 4,8 kHz.



Rys. 24. Zaprojektowana struktura (2,44 mm × × 2,44 mm

Na rys. 24 przedstawiono zaprojektowaną topografię drugiej wersji układu odczytowego. Podobnie jak w przypadku pierwszej wersji elektronika odczytowa została zaekranowana za pomocą najwyższego poziomu metalizacji podłączonej do stałego, najniższego potencjału.

Numerem 1 oznaczono główną część zaprojektowanego wzmacniacza z przetwarzaniem. Numery 3 to kondensatory blokujące, które z uwagi na znaczną powierzchnię niezagospodarowanego krzemu (ograniczenia związane zminimalną płatną powierzchnią) zdecydowano się umieścić na próbę wewnątrz struktury. Numer 2 to wbudowany wewnętrzny generator przebiegu sterującego dla modulatora i demodulatora. W poprzedniej wersji sygnał ten był generowany przez zewnętrzny układ, druga struktura umożliwia wybór między sygnałem zewnętrznym a wewnętrznym. Jeżeli zakłócenia powodowane przez generator umieszczony w chipie nie będą niekorzystnie wpływać na pracę pozostałych układów, będzie to kolejny krok w kierunku maksymalnej integracji układu odczytowego z detektorem.

Dalsze etapy prac

Kolejnym etapem jest projekt układu pomiarowego dla drugiej wersji układu odczytowego (z uwagi na różne sygnały sterujące nie można użyć wersji wykonanej na potrzeby pomiarów pierwszego układu), a następnie zweryfikowanie na drodze doświadczalnej funkcjonalności zaprojektowanej struktury.

3.2. BIOSIP Mikroukładowa technologia pomiaru parametrów psychofizycznych w warunkach dynamicznych

Celem projektu jest stworzenie nowej mikroukładowej technologii pomiaru parametrów psychofizjologicznych w warunkach dynamicznych, umożliwiającej zintegrowanie wielu systemów i torów pomiarowych wewnątrz mikroukładu scalonego. Opracowane rozwiązanie pozwoli na zredukowanie wymiarów obecnie stosowanych rozwiązań, podniesie ich niezawodność, obniży pobór prądu oraz zwiększy możliwości aplikacyjne.

Powstały system pomiarowy będzie atrakcyjny jako element urządzeń mobilnych nowej generacji, składnik systemów monitorowania i ochrony zdrowia. Mikroukładowa technologia zostanie zrealizowana poprzez dwa równolegle opracowywane autorskie rozwiązania: BioSoC i BioSiP.

BioSoC będzie specjalizowanym układem scalonym, z analogowo-cyfrowymi torami przetwarzania sygnałów oraz mikrokontrolerem integrującym funkcje i możliwości pomiarowe współczesnych urządzeń diagnostycznych.

Zadaniem ITE jest zaprojektowanie we współpracy z Politechniką Warszawską topografii bloków analogowych dla układu BioSoC. W 2013 r. zaprojektowano i wysłano do produkcji pierwszą strukturę testową. Ma ona umożliwić pomiary parametrów bloków, które będą wykorzystane w finalnym układzie. W strukturze zostały umieszczone elementy toru pomiaru EKG/EEG, rezystancji i temperatury, a także układu syntezy częstotliwości.

3.3. HEC System zarządzania profilami psychologicznymi żołnierzy z opracowaniem i wykorzystaniem technologii HEALTH-CHIPS

Celem projektu jest stworzenie narzędzia umożliwiającego podniesienie zdolności bojowej żołnierza poprzez diagnostykę jego parametrów psychofizycznych i określenie profilu psychologicznego. Zostanie opracowany mikroukład scalony wraz z systemem sensorów nowej generacji, umieszczonych w ubraniu żołnierza. Pozwoli to na monitorowanie w czasie rzeczywistym jego zdolności bojowej, selekcję do zadań na polu walki itd. Aparatura pomiarowa będzie dla żołnierza niewyczuwalna. Powstały układ scalony ma zawierać tory akwizycji EKG, EMG, interfejsy czujników (np. temperatury, utlenienia krwi) oraz przetworniki A/C, mikrokontroler i pamięć, umożliwiające natychmiastowe przetwarzanie i analizę sygnałów. Kolejnym zadaniem projektu będzie opracowanie „inteligentnej bielizny", w której czujniki i połączenia między nimi zostaną m. in. wkomponowane w materiał, tak aby były niewyczuwalne dla żołnierza.

Zadaniem ITE jest zaprojektowanie topografii bloków analogowych dla struktury scalonej (we współpracy z Politechniką Warszawską) oraz opracowanie układu odczytowego dla czujników (we współpracy z Instytutem Biocybernetyki i Inżynierii Biomedycznej (IBIB PAN).

4. Działalność w ramach projektów 7. Programu Ramowego UE i innych programów międzynarodowych

PARSIMO Partitioning and Modeling of System in Package (SiP)
Partycjonowanie i modelowanie układów typu System in Package (SiP)

Celem projektu jest doskonalenie, optymalizacja i standaryzacja metod projektowania układów typu SiP (System in Package). Uproszczenie i skrócenie czasu procesu projektowania i wytwarzania układów SiP jest niezbędne dla zachowania ekonomicznej opłacalności stosowania tego typu systemów, jak również zwiększenia poziomu ich niezawodności. Opracowanie skutecznych metod partycjonowania układu (strukturalnego i funkcjonalnego podziału układu na moduły)

orazcałościowej symulacji i weryfikacji (nie tylko funkcjonalnej) staje się dziś coraz istotniejszym zagadnieniem do rozwiązania.

W ramach projektu opracowane są komputerowe narzędzia CAD wspomagające proces optymalizacji partycjonowania SiP oraz wytwarzane są 4 demonstratory przeznaczone do praktycznej weryfikacji rzeczywistych osiągnięć projektu. ITE jest odpowiedzialny za wytworzenie demonstratora SIESTA (System of Intelligent Sensors for Experimental Avionic Applications).

PAR4CR Partnership for the Development of Cognitive Radio
Partnerstwo dla opracowania radia kognitywnego

Jest to projekt typu Marie Curie w ramach FP7 z kategorii Industry-Academia Partnerships and Pathway. Jego celem jest rozwój nowej architektury dla radia definiowanego programowo (Software Defined Radio – SDR) jako kroku w kierunku opracowania radia rozpoznającego (CR, Cognitive Radio). Przewiduje się, że efektem programu badawczego będzie:

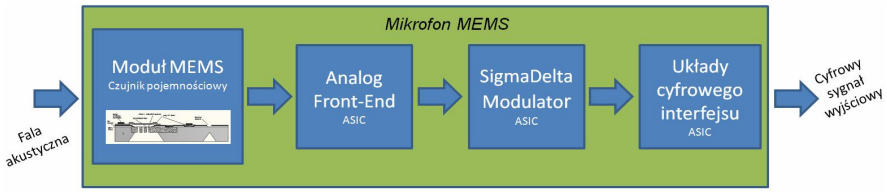
- zredukowanie kosztów radia SDR poniżej poziomu kosztów transceiverów multimode oraz multiband;
- poprawienie wydajności SDR do poziomu porównywalnego z transceiverami single mode;
- wyznaczenie jasnej drogi przejścia (mapy drogowej) od SDR do CR.

W projekcie uczestniczy zespół złożony z siedmiu różnych instytucji naukowych i jednostek powiązanych z przemysłem.

SMAC SMArt Systems Co-Design
Zaawansowane techniki projektowania systemów inteligentnych

Pojęcie Systemów Inteligentnych (Smart Systems) obejmuje szeroką klasę zminiaturyzowanych energooszczędnych układów o rozbudowanej funkcjonalności, nierzadko energetycznie autonomicznych, służących do detekcji rozmaitych wielkości fizycznych, przetwarzania i transmisji danych, wyposażonych w mikromechaniczne elementy wykonawcze MEMS. SI integrują w jeden układ złożone heterogeniczne komponenty i podsystemy, takie jak mikrosiłowniki, mikrodźwignie, dedykowane detektory wielkości fizycznych, moduły zarządzania energią, moduły zasilające, układy przetwarzania danych i łączności bezprzewodowej. Niezbędne jest uwzględnienie na etapie projektowania nieustannie rosnącej liczby wzajemnie na siebie wpływających czynników. W perspektywie uruchomienia masowej produkcji i wielokrotnego wykorzystania tych samych rozwiązań jest możliwe znaczące ograniczenie zarówno kosztów procesu projektowania, jak i produkcji. Do projektowania tego typu systemów wykorzystywane są dziś narzędzia CAD i metody opracowane przed laty z myślą o standardowych, monolitycznych, jednowymiarowych strukturach scalonych. Zadaniem ITE jest opracowanie we współpracy z Politechniką w Bratysławie dedykowanej struktury mikrofonu wraz z elektroniką odczytową.

Zaplanowano wytworzenie jednego demonstratora dla całego projektu, jednak po konsultacjach zadecydowano, że liczba demonstratorów musi zostać zwiększona, aby było możliwe przeprowadzenie rozszerzonej weryfikacji funkcjonalnej platformy SMAC, składających się na nią komponentów programowych, jak również sprawdzenie zaproponowanej metodologii projektowania systemów inteligentnych.



Rys. 25. Idea demonstratora ITE zawierająca układ MEMS zintegrowany z elektroniką odczytową

Zadaniem ITE jest opracowanie kompletnego systemu mikrofonu pojemnościowego MEMS o następujących parametrach:

- kierunkowość — wszechkierunkowy,
- zakres dynamiki — 75 dB,
- czułość dla 1 kHz — –44 dB (re.1V/Pa),
- szczytowa wartość ciśnienia akustycznego: — do 140 dB,
- THD — < 3% przy ≤ 140 dB SPL,
- 3dB pasmo przenoszenia — 30 Hz ÷ 8 kHz,
- charakterystyka częstotliwościowa — płaska, nie gorsza niż ± 3 dB,
- napięcie zasilania — 3,3 V.

e-BRAINS Best-Reliable Ambient Intelligent Nano Sensor Systems Inteligentne systemy nanoczujnikowe zoptymalizowane pod kątem niezawodności

Głównym celem projektu jest zwiększenie wydajności i niezawodności technologii integracji układów heterogenicznych, ze szczególnym uwzględnieniem technologii trójwymiarowej integracji oraz wytwarzania warstw zawierających nanoczujniki. ITE prowadzi prace związane z hierarchicznym modelowaniem mikro- i nanosystemów. Prace badawcze są również prowadzone w zakresie badania niezawodności i wytrzymałości materiałów z uwzględnieniem nanorurek i nanodrutów krzemowych.

SESBE Project Smart Elements for Sustainable Building Envelopes Inteligentne elementy elewacji budynków eligentne elementy elewacji budynków

Celem projektu realizowanego w ramach europejskiego programu EeB.NMP.2013-1 "Nanotechnology for Multifunctional Lightweight Construction Materials and Components" jest podnoszenie energetycznej sprawności budynków i bezpieczeństwa oraz zdalne monitorowanie energetycznej kondycji budynków oraz ich wybranych elementów.

Główne zamierzenia projektu realizowane są przez międzynarodowe konsorcjum (pięć ośrodków badawczych, trzy małe i średnie przedsiębiorstwa (SME), cztery duże firmy wykonawczych z dziedziny budownictwa i elektroniki z Polski, Szwecji, Niemiec, Wielkiej Brytanii i Hiszpanii).

Zostaną opracowane innowacyjne rozwiązania lekkich, prostych w montażu i trwałych termoizolacyjnych paneli okładzinowych, wyposażonych w nowatorski element pomiarowo-komunikacyjny zgodnie ze standardami zarządzania infrastrukturą budynku (BMS). Opracowanie paneli izolacyjnych, ich wytworzenie i montaż są zadaniem partnerów związanych z budownictwem. Zadaniem ITE jest opracowanie elementu pomiarowo-komunikacyjnego.

Wydajność energetyczna budynków zależy nie tylko od typu i początkowych parametrów izolacji termicznej, lecz również od jej bieżącego stanu, a w budynkach ze zintegrowaną klimatyzacją także od skuteczności sterowania centralą klimatyzacyjną i zarządzania energią na poziomie całego budynku. Istotne jest powiązanie sposobu sterowania klimatyzacją z warunkami zewnętrznymi zarówno w skali całego budynku, jak i w odniesieniu do poszczególnych jego fragmentów.

Zadaniem ITE jest opracowanie dedykowanej sondy termo-higrometrycznej (moduł THNSN Temperature-Humidity Nano Sensor Node) zapewniającej monitorowanie warunków środowiskowych i zastosowanych osłon termicznych budynków. Zostanie zaprojektowany specjalizowany mikroprocesorowy system pomiarowy umieszczany w nietypowej obudowie, odpornej na narażenia środowiskowe, zdolnej przetrwać etap montażu w panelu elewacyjnym i montaż samego panelu na elewacji budynku. Z partnerami projektu uzgodniono wymagane parametry funkcjonalne sondy, wybór klasy odporności samej obudowy THNSN, wytworzenie przykładowego egzemplarza, implementację oprogramowania, testy środowiskowe po integracji z demonstratorami paneli

5. Prototypy, modele, wdrożenia, licencje

Prototypy

- Wąsowski J., Janczyk G., Kurjata-Pfitzner E.: Prototyp scalonego układu badawczego eB_chip do diagnostyki warstw przewodzących w trójwymiarowych systemach heterogenicznych

Modele

- Kołaciński C., Obrębski D.: Układ scalony toru odczytowego do detektorów promieniowania THz opartych o tranzystor NMOS (projekt THzOnline)
- Kołaciński C., Obrębski D.: Układ scalony toru odczytowego do detektorów promieniowania THz opartych o tranzystor NMOS (projekt THzOnline) – druga wersja
- Obrębski D., Kołaciński C.: Układ pomiarowy do charakteryzacji prototypowego układu scalonego zawierającego wzmacniacze odczytowe do detektorów promieniowania THz (PBS THzOnline)

- Obrębski D., Kołaciński C.: Układ elektroniczny w formie kompletnego urządzenia do pomiaru wzmacniacza odczytowego w wersji selektywnej wraz z detektorem NMOS promieniowania THz
- Obrębski D., Kołaciński C.: Układ elektroniczny w formie kompletnego urządzenia do pomiarów wzmacniacza odczytowego wraz z detektorem NMOS promieniowania THz
- Obrębski D., Kołaciński C.: Układ scalony zawierający struktury do pomiarów w paśmie THz
- Jarosz A., Kurjata-Pfitzner E.: Model struktury testowej dla układu BioSoC (BioSystem on Chip)
- Szymański A., Wąsowski J., Kurjata-Pfitzner E.: Model badawczy scalonego przetwornika analogowo-cyfrowego Sigma-Delta
- Obrębski D.: Układ pomiarowy do badania przyspieszonego starzenia mechanicznego
- Obrębski D., Zbieć M.: System elektroniczny do zautomatyzowanego pomiaru scalonej struktury próbnej SBL_02
- Obrębski D., Zbieć M.: System elektroniczny do wielopunktowego pomiaru ciśnienia i temperatury w tunelu aerodynamicznym

Publikacje'2013

[P1] BIENIEK T., JANCZYK G., DOBROWOLSKI R., SZMIGIEL D., EKWIŃSKA M., GRABIEC P., JANUS P., ZAJĄC J.: Dedicated MEMS-Based Test Structure for 3D SiP Interconnects Reliability Investigation. Proc. of the 2013 IEEE Int. 3D Systems Integration Conf. San Francisco, USA, 2–4.10.2013, s. 1–6.

[P2] BIENIEK T., JANCZYK G., JANUS P., EKWIŃSKA M., SZMIGIEL D., DOMAŃSKI K., GRABIEC P., DUMANIA P.: Efficient Scenarios, Methodology and Tools for MEMS/NEMS Product Development. Proc. of the 10th Int. Conf. on Multi-Material Micro Manufacture. San Sebastian, Hiszpania, 8–10.10.2013, s. 284–287.

[P3] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., MOCZAŁA M., GOTSZALK T., BUITRAGO E., BADIA M. F., IONESCU A. M.: Silicon Nanowires Reliability and Robustness Investigation Using AFM-Based Techniques. *Electron Technology Conf. 2013*, w serii: *Proc. of SPIE* 2013 t. 8902 s. 8902L-1-2.

[P4] BIENIEK T., JANCZYK G., MARCHEWKA M., EKWIŃSKA M., WĄSOWSKI J., GRABIEC P.: Novel Methodology of MEMS-IC Co-Simulation in Smart Systems Development Process. Smart System Integration 2014 – Proc. Wiedeń, Austria, 26–27.03.2014 (złoż. do red.).

[P5] JANCZYK G., BIENIEK T., DUMANIA P., WYMYSŁOWSKI A.: Development of Multiscale, Multicriteria Optimization of SiP Design Methods. Proc. of the 10th Int. Conf. on Multi-Material Micro Manufacture. San Sebastian, Hiszpania, 8–10.10.2013, s. 1–6.

[P6] JANCZYK G., BIENIEK T., WĄSOWSKI J., GRABIEC P.: Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method. *Microelectron. J.* (złoż. do red.).

[P7] JANCZYK G., BIENIEK T., WĄSOWSKI J., GRABIEC P.: Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method. TechConnect World 2013 Proc.: Nanotech, Microtech, Biotech, Cleantech. Waszyngton, USA, 12–16.06.2013, s. 216–217.

[P8] JAROSZ A.: Results of Design of Analog Standard Cells in 0.18μm Technology. Two Days Workshop on Cognitive Radio, European Project Par4CR. Kista, Szwecja, 18–19.06.2013, s. 40–43.

[P9] JAROSZ A.: Prace badawcze realizowane w ITE, związane z projektowaniem układów VLSI, w kontekście przydatności dla projektu HeC. 6. Konf. Nauk. „Urządzenia i Systemy Radioelektroniczne". Jachranka, 24–25.10.2013, WAT, s. 1–13.

[P10] KOCIUBIŃSKI A., BIENIEK T., JANCZYK G.: Design, Modeling and Simulation of MEMS Devices on Si, SiC and Diamond for Harsh Environment Applications. *Acta Phys. Pol. A* (złoż. do red.).

[P11] KOŁACIŃSKI C., OBRĘBSKI D.: Design of CMOS Analog Integrated Readout Circuit for NMOS THz Detectors. Proc. of the 20th Int. Conf. Mixed Design of Integrated Circuits and Systems. Gdynia, 20–22.06.2013, s. 222–228.

[P12] OBRĘBSKI D., SZYMAŃSKI A., TOMASZEWSKI D., GRODNER M., MARCZEWSKI J., PIECZYŃSKI J.: Development of Ionizing Radiation Detectors Integrated with Readout Electronics. Proc. of the 20th Int. Conf. Mixed Design of Integrated Circuits and Systems. Gdynia, 20–22.06.2013, s. 229–234.

[P13] ORTLOF D., SCHMIDT T., HAHN K., BIENIEK T., JANCZYK G., BRUCK R.: MEMS Product Engineering. Handling the Diversity of an Emerging Technology. Best Practices for Cooperative Development. Springer (złoż. do red.).

Prezentacje'2013

[K1] BIENIEK T., JANCZYK G.: WP1 Task 1.4.x. Techn. Meet. eBrains. Monachium, Niemcy, 22–23.01.2013 (kom.).

[K2] BIENIEK T., JANCZYK G.: WP1 Task 1.4.x. Techn. Meet. – eBrains. Clamart, Francja, 24–27.04.2013 (kom.).

[K3] BIENIEK T., JANCZYK G.: WP1 Task 1.4.x. Techn. Meet. – eBrains. Turyn, Włochy, 13–14.08.2013 (kom.).

[K4] BIENIEK T., JANCZYK G., DOBROWOLSKI R., SZMIGIEL D., EKWIŃSKA M., GRABIEC P., JANUS P., ZAJĄC J.: Dedicated MEMS-Based Test Structure for 3D SiP Interconnects Reliability Investigation. IEEE Int. 3D Systems Integration Conf. San Francisco, USA, 2–4.10.2013 (plakat).

[K5] BIENIEK T., JANCZYK G., GRABIEC P.: e-BRAINS Project – European Activities in Heterogeneous Sensor Integration. 7th Int. Forum on Innovative Technologies for Medicine. Białystok 5–7.12.2013 (ref., plakat).

[K6] BIENIEK T., JANCZYK G., JANUS P., EKWIŃSKA M., SZMIGIEL D., DOMAŃSKI K., GRABIEC P., DUMANIA P.: Efficient Scenarios, Methodology and Tools for MEMS/NEMS Product Development. 10th Int. Conf. on Multi-Material Micro Manufacture. San Sebastian, Hiszpania, 8–10.10.2013 (ref.).

[K7] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., MOCZAŁA M., GOTSZALK T., BUITRAGO E., BUIU O., IONESCU A. M.: Silicon Nanowires Reliability and Robustness Investigation Using AFM-Based Techniques. XI Konf. Nauk. "Technologia Elektronowa". Ryn, 16–20.04.2013 (plakat).

[K8] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., BUITRAGO E., BADIA M.F., IONESCU A. M., WIELGOSZEWSKI G., MOCZAŁA M., GOTSZALK T.: Reliability and Robustness Investigation of 3D Vertically Stacked Silicon Nanowire Structures Using AFM Based Techniques. TechConnect World 2013 Nanotech, Microtech, Biotech, Cleantech. Waszyngton, USA, 12–16.05.2013 (plakat).

[K9] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., MOCZAŁA M., GOTSZALK T., BUITRAGO E., BADIA M. F., IONESCU A. M., KRAEH CH., POPESCU A.: Reliability and Robustness Investigation of Novel Nanosensor Structures Using AFM-Based Techniques. 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (ref.).

[K10] BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., NIEPRZECKI M., WIELGOSZEWSKI G., MOCZAŁA M., GOTSZALK T., BUITRAGO E., BADIA M. F., IONESCU A. M.: Reliability and Robustness Investigation of Novel Nanosensor Structures Using AFM-Based Techniques (e-BRAINS Project). 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (plakat).

[K11] EKWIŃSKA M., BIENIEK T., JANCZYK G., KOWALSKI P., GRABIEC P., DOBROWOLSKI R.: Design, Modeling and Simulation of Specialized MEMS Microphone for Industrial Application. 8th Int. Conf. "New Electrical and Electronic Technologies and Their Industrial Implementation". Zakopane, 18–21.06.2013 (plakat).

[K12] GUZIEWICZ M., ŁASZCZ A., DOMAGAŁA J., GOŁASZEWSKA-MALEC K., CZERWIŃSKI A., SŁYSZ W.: Advantage of NbTiN over NbN in Superconducting Properties of Ultra-Thin Films. AVS 60th Int. Symp. a. Exh. Los Angeles/Long Beach, USA, 27.10.2013

[K13] JANCZYK G., BIENIEK T.: WP1 Task 1.3.1, 1.3.3 FhG-IIS-EAS, ITE, IFX, IFAG. Techn. Meet. – eBrains. Monachium, Niemcy, 22–23.01.2013 (kom.)

[K14] JANCZYK G., BIENIEK T.: WP1 Task 1.3.1 & 1.3.3. Techn. Meet. – eBrains. Clamart, Francja, 24–27.04.2013 (kom.).

[K15] JANCZYK G., BIENIEK T.: WP1 Task 1.3.1 & 1.3.3. Techn. Meet. – eBrains. Turyn, Włochy, 13–14.08.2013 (kom.).

[K16] JANCZYK G., BIENIEK T.: WP-2-3-4-5-6 Bullet Point WP by ITE&WRUT (Common Contribution). Techn. Meet. – Parsimo. Noisy le Grand, Francja, 27–28.03.2013 (kom.).

[K17] JANCZYK G., BIENIEK T.: WP2 – Outline of M18-M24 Progress. Parsimo Rev. Meet. M24. Bruksela, Belgia, 24–25.06.2013 (kom.).

[K18] JANCZYK G., BIENIEK T., DOBROWOLSKI R., SZMIGIEL D., EKWIŃSKA M., GRABIEC P., JANUS P., ZAJĄC J.: Dedicated System Including MEMS-Based and ASIC Test Structures for 3D SiP Interconnects Reliability and Robustness Investigation (e-BRAINS Project). 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (plakat).

[K19] JANCZYK G., EKWIŃSKA M., BIENIEK T., JANUS P.: ITE Contribution for WP123467. 12M SMAC Rev. Meet. Katania, Włochy, 15–16.01.2013 (kom.).

[K20] JANCZYK G., BIENIEK T.: Dedicated System Including MEMS-Based and ASIC Test Structures for 3D SiP Interconnects Reliability and Robustness Investigation. 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (ref.).

[K21] JANCZYK G., BIENIEK T.: Work Progress for Period M27-M31 by ITE. Techn. Meet. PARSIMO. Cambridge Shire, Wielka Brytania, 4–7.11.2013 (kom.).

[K22] JANCZYK G., BIENIEK T., DUMANIA P., WYMYSŁOWSKI A.: Development of Multiscale, Multi-criteria Optimization of SiP Design Methods 10th Int. Conf. on Multi-Material Micro Manufacture. San Sebastian, Hiszpania, 8–10.10.2013 (ref.).

[K23] JANCZYK G., BIENIEK T., WYMYSŁOWSKI A., ŚWIECZYŃSKI R.: PARSIMO Project - European Activities in System in Package Development. 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (plakat).

[K24] JANCZYK G., EKWIŃSKA M., BIENIEK T.: SMAC Project - SMArt Systems Co-Design 7th Int. Forum on Innovative Technologies for Medicine. Białystok, 5–7.12.2013 (plakat).

[K25] JAROSZ A.: Results of Design of Analog Standard Cells in 0.18μm Technology. Two Days Workshop on Cognitive Radio European Project Par4CR. Kista, Szwecja, 18–19.06.2013 (ref.).

[K26] JAROSZ A.: Prace badawcze realizowane w ITE, związane z projektowaniem układów VLSI, w kontekście przydatności dla projektu HeC. 6. Konf. Nauk. „Urządzenia i Systemy Radioelektroniczne". Jachranka, 24–25.10.2013 (ref.).

[K27] KOCIUBIŃSKI A., BIENIEK T., JANCZYK G.: Design, Modeling and Simulation of MEMS Devices on Si, SiC and Diamond for Harsh Environment Applications. 8th Int. Conf. "New Electrical and Electronic Technologies and Their Industrial Implementation". Zakopane, 18–21.06.2013 (plakat).

[K28] KOŁACIŃSKI C., OBRĘBSKI D.: Design of CMOS Analog Integrated Readout Circuit for NMOS THz Detectors. 20th Int. Conf. Mixed Design of Integrated Circuits and Systems. Gdynia, 20–22.06.2013 (ref.).

[K29] OBRĘBSKI D., SZYMAŃSKI A., TOMASZEWSKI D., GRODNER M., MARCZEWSKI J., PIECZYŃSKI J.: Development of Ionizing Radiation Detectors Integrated with Readout Electronics. Int. Conf. Mixed Design of Integrated Circuits and Systems. Gdynia, 20–22.06.2013 (ref.).

[K30] WIELGOSZEWSKI G., MOCZAŁA M., KOPIEC D., GOTSZALK T., BIENIEK T., JANCZYK G., JANUS P., GRABIEC P., KRAEH CH., POPESCU A.: Estimation of the Elastic Modulus of Polycrystalline-Silicon Microrods Using AFM-Based Techniques 39th Int. Conf. on Micro and Nano Eng. Londyn, Wielka Brytania, 19.09.2013 (plakat).